

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ДЕРЖАВНИЙ ЕКОНОМІКО-ТЕХНОЛОГІЧНИЙ
УНІВЕРСИТЕТ ТРАНСПОРТУ

Кафедра телекомунікаційних технологій та автоматики

С.В. Наконечна

ЕЛЕКТРОНІКА І МІКРОСХЕМОТЕХНІКА
(Частина II)

Методичні вказівки
щодо виконання лабораторних робіт
для студентів спеціальності 151 «Автоматизація
та комп'ютерно-інтегровані технології»
денної та заочної форм навчання

Київ 2017

Наконечна С.В.

Електроніка і мікросхемотехніка (Частина II): Методичні вказівки щодо виконання лабораторних робіт для студентів спеціальності 151 «Автоматизація та комп'ютерно-інтегровані технології» денної та заочної форм навчання. – К.: ДЕГУТ, 2017. – 57 с.

Методичні вказівки містять матеріал необхідний студентам для закріплення лекційного матеріалу.

У методичних вказівках наведено опис лабораторних робіт, які відповідають навчальній програмі курсу «Електроніка і мікросхемотехніка». Виконання лабораторних робіт здійснюється за допомогою ЕОМ з використанням програми Electronics Workbench, що дає можливість студентам грамотно і ефективно впроваджувати на практиці методи комп'ютерного дослідження характеристик. Короткі теоретичні відомості й практичні завдання кожної із робіт сприяють закріпленню теоретичних знань, набуття практичних навичок досліджень.

Призначені для студентів спеціальності 151 «Автоматизація та комп'ютерно-інтегровані технології» денної та заочної форм навчання і відповідають програмі курсу «Електроніка і мікросхемотехніка».

Методичні рекомендації розглянуті та затверджені на засіданні кафедри (протокол № 9 від 23 лютого 2017 р.) та на засіданні методичної ради факультету (протокол № 6 від 27 лютого 2017 р.).

Укладачі: *С.В. Наконечна, кандидат технічних наук, доцент кафедри ТТА*

Рецензенти: *Ю.В. Юрко, кандидат технічних наук, доцент кафедри інформаційних технологій і моделювання Криворізького економічного інституту ДВНЗ «КНЕУ ім. В. Гетьмана»
І.О. Воронко, кандидат технічних наук, доцент кафедри автоматизація та комп'ютерно-інтегровані технології транспорту Державного економіко-технологічного університету транспорту.*

Зміст

Вступ	4
Лабораторна робота № 1 Дослідження базових схем логічних елементів цифрових пристроїв	5
Лабораторна робота № 2 Вивчення принципів побудови комбінаційних пристроїв	17
Лабораторна робота № 3 Дослідження напівпровідникового стабілітрона	30
Лабораторна робота № 4 Дослідження біполярного транзистора	36
Лабораторна робота № 5 Дослідження тиристора	41
Лабораторна робота № 6 Дослідження польових транзисторів	49
Список рекомендованої літератури	56

Вступ

Методичні вказівки щодо виконання лабораторних робіт для студентів з дисципліни «Електроніка і мікросхемотехніка» розроблені відповідно до навчальної та робочої програми дисципліни і призначені для студентів спеціальності 151 «Автоматизація та комп'ютерно-інтегровані технології» денної та заочної форм навчання.

Вивчення дисципліни «Електроніка і мікросхемотехніка» передбачає виконання лабораторних робіт, засвоєння навчального матеріалу у вільний від аудиторних занять час у формі самостійної та індивідуальної навчально-дослідної роботи (контрольної роботи), призначеної формувати практичні навички роботи студентів із спеціальною літературою, орієнтувати їх на інтенсивну роботу, критичне осмислення набутих знань та глибоке вивчення теоретичних і практичних проблем, з якими пов'язана діяльність інженера з автоматики та автоматизації на залізничному транспорті.

Задачею циклу лабораторних робіт є закріплення отриманих у процесі вивчення теоретичної частини курсу знань, розвиток здібностей ставити та розв'язувати інженерні задачі, робити висновки і узагальнення за результатами експерименту, тобто вдосконалення навичок дослідження.

У кожній лабораторній роботі наведені: мета роботи, теоретичні положення, порядок її виконання, зміст звіту та контрольні запитання для самоперевірки. В усіх лабораторних роботах застосовано систему схемотехнічного моделювання Electronics Workbench на персональних комп'ютерах. З його допомогою виконується складання схеми дослідження й аналіз її роботи.

Лабораторні роботи виконуються в два етапи: перший етап містить ознайомлення з завданням, вивчення теоретичного матеріалу, підготовку звітів, виконання розрахункової частини; другий етап – експериментальна частина – складання робочої схеми та дослідження її згідно із планом, зіставлення теоретичних та практичних результатів, формулювання висновків та оформлення звіту.

Звіт роботи має містити назву та мету роботи, схему дослідження, таблиці з результатами, аналіз та порівняння отриманих результатів.

Лабораторна робота № 1

Дослідження базових схем логічних елементів цифрових пристроїв

1. Мета роботи

Вивчення можливостей системи моделювання електронних схем EWB. Побудова найпростіших електронних і логічних схем. Ознайомлення з принципами роботи базових логічних елементів транзисторно-транзисторної логіки (ТТЛ) та елементів на уніполярних транзисторах (МОП).

2. Теоретичні відомості


Програмний комплекс EWB розроблений фірмою Interactive Image Technologies (Канада) для схемотехнічного моделювання цифрових і аналогових радіоелектронних пристроїв.

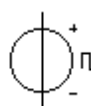
Особливістю програми EWB є наявність у ній контрольно-вимірювальних приладів, які по зовнішньому вигляду, органах керування й характеристиках максимально наближених до їхніх промислових аналогів.

Основні компоненти EWB

1. Допоміжні компоненти група SOURCES

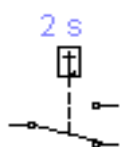
 - заземлення (мітка), крапка нульового потенціалу в схемі.

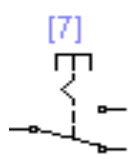
 - джерело фіксованої напруги +5 вольтів.

 1000 Hz/50% - генератор однополярних прямокутних імпульсів.


2. Основні пасивні елементи група BASIC

● - крапка з'єднання провідників, використовується також для введення на схему написів довжиною не більше 14 символів (інших способів введення тексту в EWB не існує).

 2 s - перемикач, що автоматично спрацює через заданий час на включення й вимикання (час у секундах).

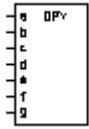
 [7] - перемикач, керований натисканням клавіш на клавіатурі (у квадратних дужках), за замовчуванням – клавіша пробілу.

3. Індикаторні прилади група INDICATORS:

 - світло індикатор (може бути настроений червоним, зеленим і синім кольорами).



- семисегментний індикатор з дешифратором.



- семисегментний індикатор.

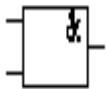
10 W/12 V



- лампа розжарювання.

4. Логічні елементи група LOGI GATES

Логічні елементи – це найпростіші цифрові мікросхеми, які виконують основні логічні операції: логічне множення (або кон'юнкція) – І; логічне додавання (або диз'юнкція) – АБО; логічне заперечення (або інверсія) – НІ. Логіку роботи елемента прийнято показувати у вигляді таблиці істинності, в якій всім можливим значенням однієї або декількох вхідних логічних змінних ставиться у відповідність значення вихідної змінної.



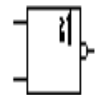
- логічний елемент «І»



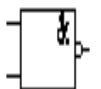
- логічний елемент «АБО»



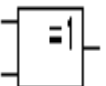
- логічний елемент «НІ»



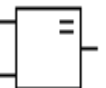
- логічний елемент «АБО-НІ»



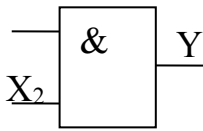
- логічний елемент «І-НІ»



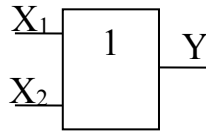
- логічний елемент виключне «АБО»



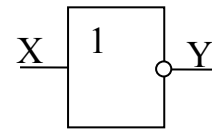
- логічний елемент імплікаці



Елемент І



Елемент АБО



Елемент НІ

X_2	X_1	Y
0	0	0
0	1	0
1	0	0
1	1	1

X_2	X_1	Y
0	0	0
0	1	1
1	0	1
1	1	1

X	Y
0	1
1	0

Елемент І формує на виході одиницю тоді і тільки тоді, коли на всіх його входах присутні одиниці. Якщо мова йде про елемент І-НІ, то на виході формується нуль, коли на усіх входах одиниці. Елемент АБО формує на виході одиницю тоді і тільки тоді, коли хоча б на одному з входів була присутня одиниця. Елемент АБО-НІ дає на виході нуль при наявності хоча б на одному з входів одиниці. Присутність слова НІ в назві елемента означає тільки одне – вбудовану інверсію сигналу. При збільшенні числа логічних змінних відповідно збільшується і кількість входів.

Неважко помітити, що у разі негативної логіки, при нульових вхідних і вихідних сигналах, елемент І виконує функцію АБО, тобто на виході буде нуль у випадку, коли хоча б на одному з входів нуль.

Логічні елементи, вихідні функції яких однозначно визначаються вхідними логічними змінними (внутрішня пам'ять в логічних елементах відсутня), належать до групи так званих комбінаційних пристроїв.

У наш час логічні елементи в основному виготовляються у складі серій цифрових інтегральних мікросхем (серії К155, К555, К561 та ін.). Як правило, в одному корпусі мікросхеми може розташовуватися від одного до шести однакових логічних елементів. Іноді в одному корпусі можуть розташовуватися і різні логічні елементи. Звичайно, кожен логічний елемент має кілька входів (від одного до дванадцяти) і один вихід. Цифра перед назвою елемента позначає кількість входів елемента. Наприклад, 8І-НІ – це восьмивхідний елемент І з інверсією на виході (К555 ЛА2); 4АБО-НІ – чотиривхідний елемент АБО з інверсією на виході; 2×(4І-НІ) – елемент з двома – чотирма входовими елементами І-НІ (К555 ЛА1).

Головні переваги логічних елементів у порівнянні з іншими цифровими мікросхемами – це їхня висока швидкодія, а також мала споживана потужність. Недолік логічних елементів полягає в тому, що на їхній основі досить важко реалізувати складні функції. Тому найчастіше логічні елементи використовуються тільки як доповнення до більш складних мікросхем.

Найбільш розповсюджені логічні функції виконуються такими елементами – це І (у вітчизняній системі позначень мікросхем – ЛІ), І-НІ

(позначається ЛА), АБО (позначається ЛЛ) і АБО-НІ (позначається ЛН), виключне АБО (ВАБО) і ВАБО-НІ. У міжнародній системі позначень використовуються такі скорочення: AND – функція І, NAND – функція І-НІ, OR – функція АБО, NOR – функція АБО-НІ, XOR – функція ВАБО, NXOR – функція ВАБО-НІ.

Вітчизняні і зарубіжні позначення на схемах двовходових елементів І, І-НІ, АБО, АБО-НІ, ВАБО, ВАБО-НІ показані на рис.1.

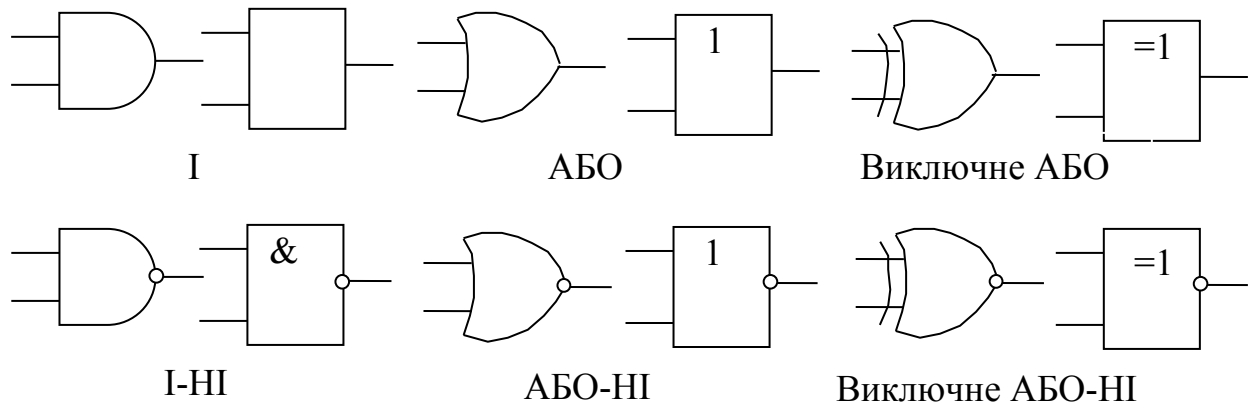
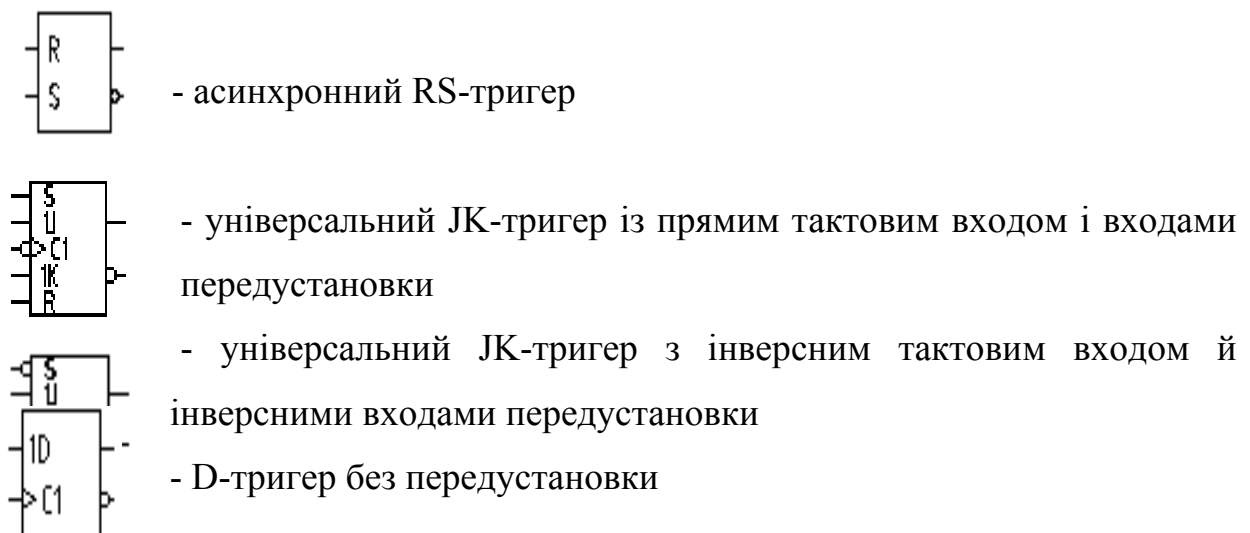


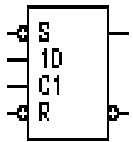
Рис. 1. Позначення елементів І, І-НІ, АБО, АБО-НІ, ВАБО, ВАБО-НІ: зарубіжні (ліворуч) і вітчизняні (праворуч)

За типом використаних транзисторів розрізняють такі види логіки:

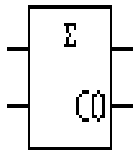
- транзисторно-транзисторну логіку (ТТЛ) та її модифікації з діодами Шотки (ТТЛШ) – серії К155, К555, К530, К531, К533, К535, К1533 та ін;
- емітерно-зв'язану логіку (ЕЗЛ) – серії К500, К1500;
- інтегральну-інжекційну логіку (І²Л) – серії К582, К583, К584 та ін;
- МОН – транзисторну логіку (*p*-МОН, *n*-МОН, КМОН) – серії К176, К561, К564, КР1561 і КР1554;
- логіку на основі арсеніду-галію (на МЕН-транзисторах) – серії К6500.

5. Комбіновані цифрові компоненти

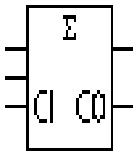




- D- тригер із входами передумовки



- напівсуматор



- повний суматор

6. Прилади, група INSTRUMENTS

- логічний аналізатор (рис. 2)

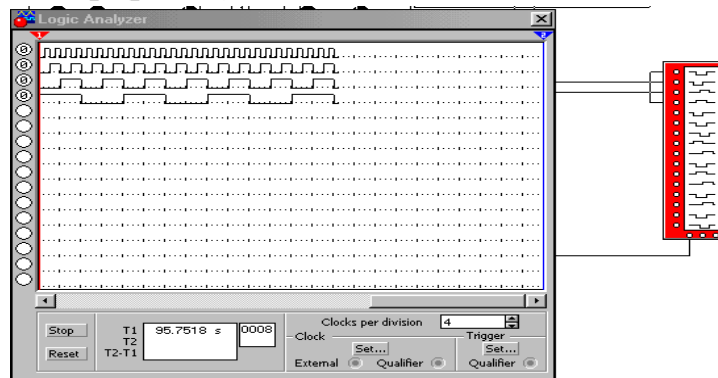


Рис. 2. Логічний аналізатор

- генератор слів Word Generator (рис. 3)

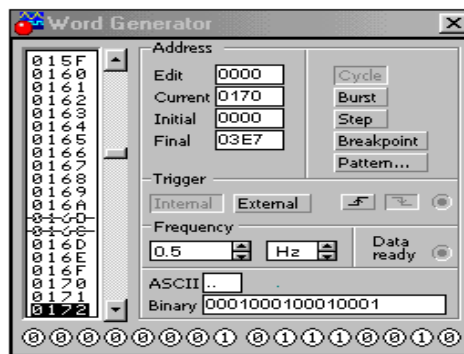


Рис. 3. Генератор слів

На рисунку 4 генератор слів показаний з підключеними семисегментними індикаторами й зовнішнім генератором синхроімпульсів.

Генератор (або кодовий генератор) призначений для генерації 16-ти розрядних двійкових слів, які набираються користувачем на екрані, розташованим у лівій частині лицьової панелі. Для набору двійкових комбінацій необхідно клацнути мишею на відповідному розряді й потім увести із клавіатури число в десятковому кодi.

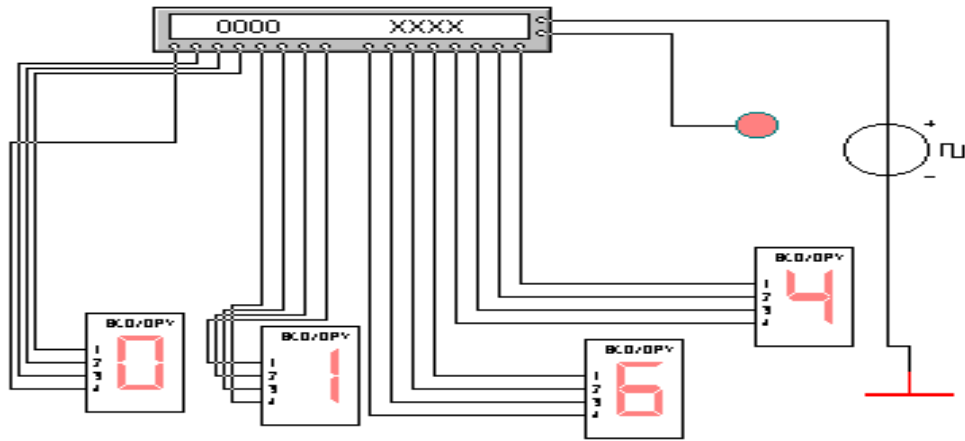


Рис. 4. Схема підключення генератора слів

Сформовані слова видаються на шістнадцять розташованих у нижній частині приладу вихідних клем-індикаторів:

- з індикацією у двійковому коді в рядку вікна binary;
- у покроковому (step), циклічному (cycle) або з обраного слова до кінця (при натисканні кнопки BURST) при заданій частоті посилок (установка - завданням частоти у вікнах FREQUENCY);
- при внутрішньому або зовнішньому запуску (при натисканні кнопки EXTERNAL, праворуч верхня клема служить для підключення сигналу синхронізації);
- при запуску по передньому або задньому фронту сигналу синхронізації служить кнопка,



- логічний перетворювач- Logic Converter (рис. 5)

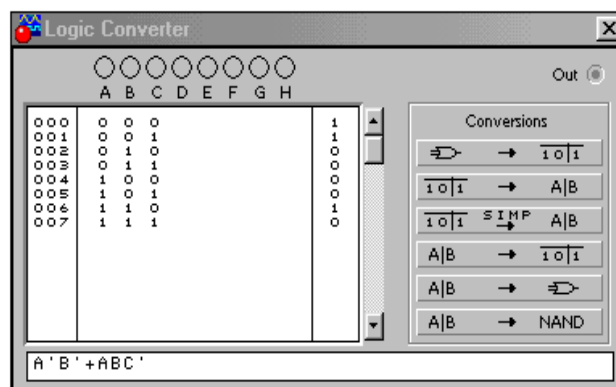
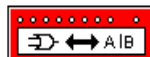


Рис. 5. Логічний перетворювач

На лицьовій панелі перетворювача показані клеми-індикатори входів А, В,.....,Н й одного виходу OUT, екран для відображення таблиці істинності

досліджуваної схеми, екран-рядок для відображення її булевого виразу (у нижній частині). Логічний аналіз n-входового пристрою з одним виходом може здійснювати такі дії, використовуючи кнопки керування:



- таблицю істинності досліджуваного пристрою;



- нульовий вираз, реалізований пристроєм;



- мінімізований нульовий вираз;



- схему пристрою на логічних елементах без обмеження їхнього типу;



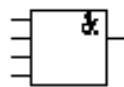
- схему пристрою тільки на логічних елементах I-НЕ.

Приклад складання досліджуваної схеми

Зібрати схему логічного елемента «І».

1. У групі Logic Gates, вибирається логічний елемент «І».

Analyz



Двома клацаннями миші на зображенні логічного елемента переходимо до налаштувань параметрів логічного елемента «І». Вибираємо кількість входів, наприклад 4. До виходу логічного елемента приєднуємо із групи INDICATORS червоний світлодіод.



Для одержання логічного сигналу (0 або 1) зручно скористатися джерелом напруги і перемикачем



[Space]



Потім набираємо 4 джерела й 4 перемикачі. При цьому привласнюємо кожному перемикачу клавішу перемикання (рис. 6):

Перевірка складається в подачі різних кодових комбінацій на вхід логічної схеми. На виході логічної схеми «І» з'являється логічна 1 (горить світлодіод) тільки при подачі логічних 1 (потенціал 5 вольтів) на всі чотири входи логічної схеми «І»

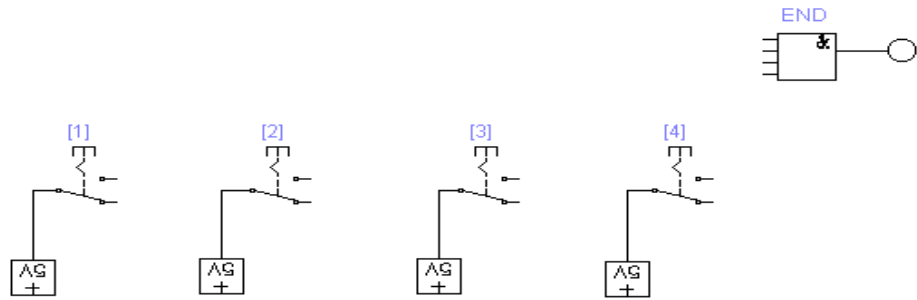


Рис. 6. Схему логічного елемента «І»

Потім з'єднуємо входи логічної схеми «І» з кожним з перемикачів (рис.7).

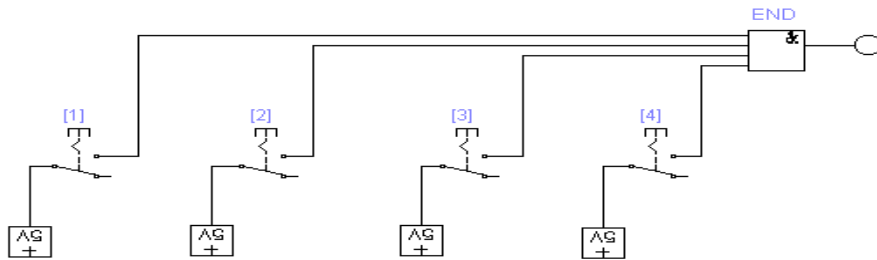


Рис. 7. Схему логічного елемента «І»

3. Завдання

Завдання 1. Дослідження логічних елементів транзисторно-транзисторної логіки. Складіть схему приведену на рисунку 8. Схема має чотири входи А, В, С, D й один вихід Y. Для більшої наочності додайте світлодіоди, підключивши їх в точках схеми А, В, С, D та Y. Входи А та В є входами незалежної логічної схеми І, а входи С та D – входами іншої логічної схеми І. Завдяки фазороздільній ролі транзистора VT1 ці схеми об'єднані функцією АБО-НІ. Вихідний підсилювач виконано на транзисторах VT3, VT4.

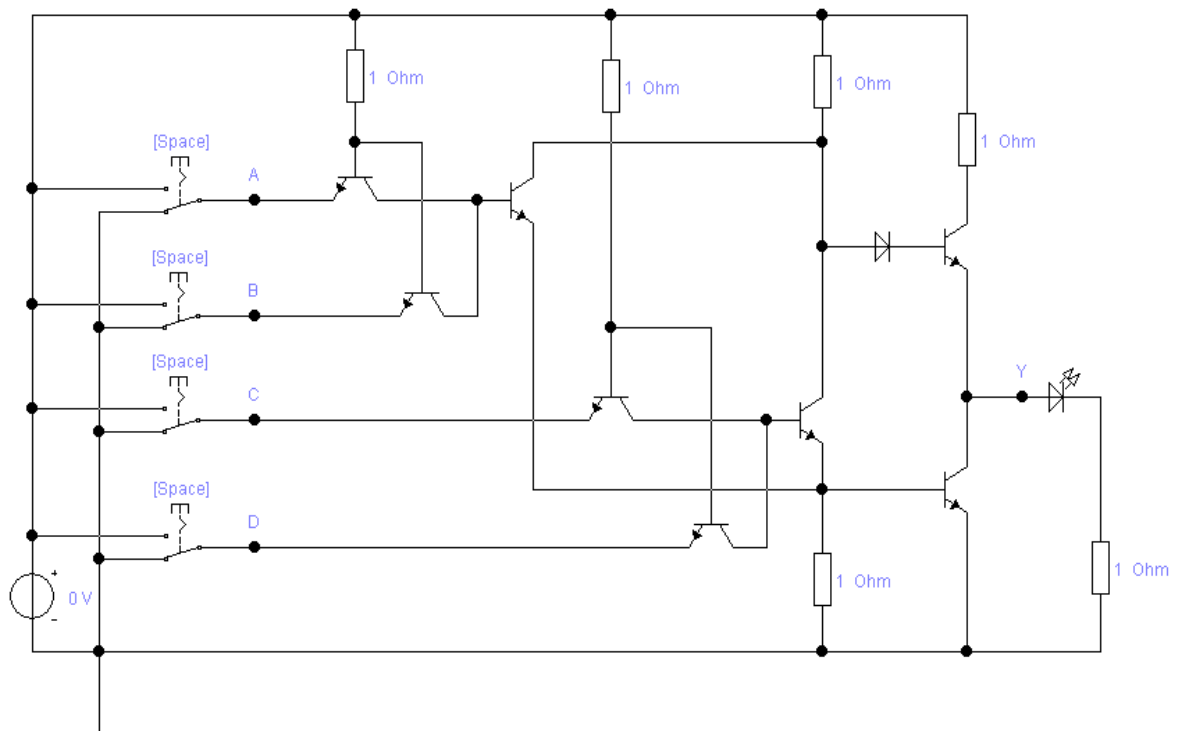


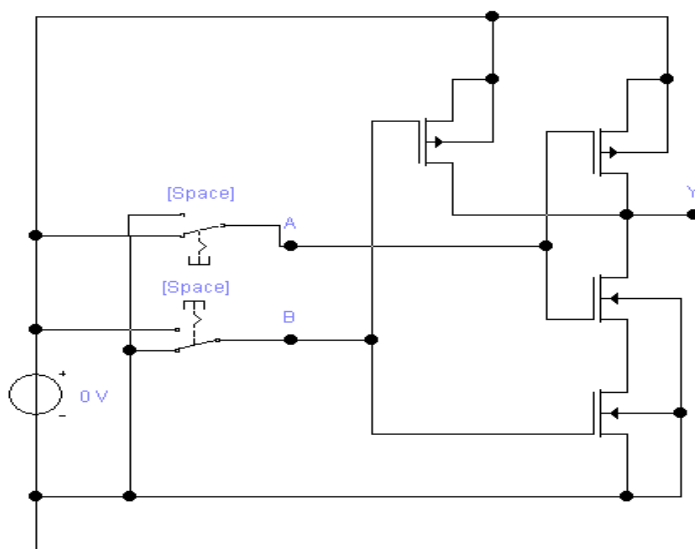
Рис.8. Дослідження логічних елементів транзисторно-транзисторної логіки

№ пп	Входи				Вихід
	A	B	C	D	
0	0	0	0	0	
1	0	1	0	0	
2	1	0	0	0	
3	1	1	0	0	
4	0	0	0	1	
5	0	1	0	1	
6	1	0	0	1	
7	1	1	0	1	
8	0	0	1	0	
9	0	1	1	0	
10	1	0	1	0	
11	1	1	1	0	
12	0	0	1	1	
13	0	1	1	1	
14	1	0	1	1	
15	1	1	1	1	

Включіть моделювання. Натискуючи клавіші A, B, C, D, слідкуйте за станом світлових індикаторів на входах та виході схеми. Складіть таблицю істинності.

Завдання 2. Дослідження логічних елементів на уніполярних транзисторах. Складіть схему приведену на рисунку 9, потім схему на рисунку 10. Виставте номінали та позначення елементів схем відповідно до приведених на рис. 9, 10. До точок схеми A, B, Y підключіть індикатори логічного рівня.

Включіть моделювання. Натискуючи клавіші A та B, слідкуйте за станом індикаторів на вході схеми. Складіть таблиці істинності.



Входи		Вихід
1	2	
0	0	
0	1	
1	0	
1	1	

Рис. 9. Дослідження логічних елементів на уніполярних транзисторах

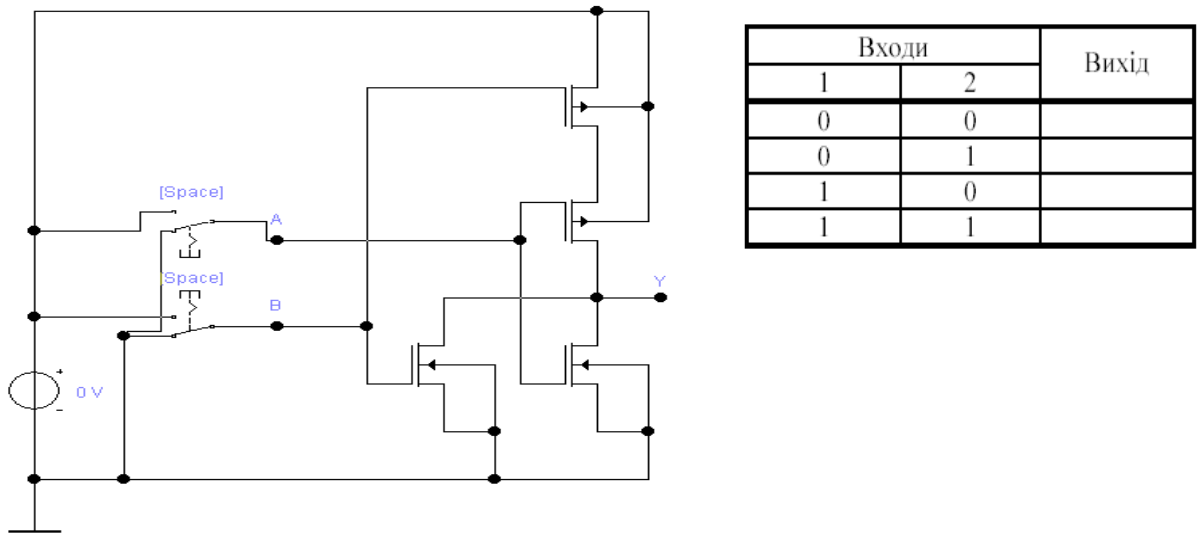


Рис. 10. Дослідження логічних елементів на уніполярних транзисторах

Завдання 3. Дослідження логічних схем (ручний режим). Складіть схему приведену на рисунку 11. Натискаючи по черзі клавіші 1 та 2 клавіатури комп'ютера, подайте високий та низький логічний рівень на входи зображених логічних схем І, АБО, НЕ, АБО-НІ, І-НІ, ВАБО, ВАБО-НІ (ВАБО – Виключне АБО). Заповніть таблицю істинності.

Вхід		Вихід						
1	2	І	АБО	НІ	АБО-НІ	І-НІ	ВАБО	ВАБО-НІ
0	0							
0	1							
1	0							
1	1							

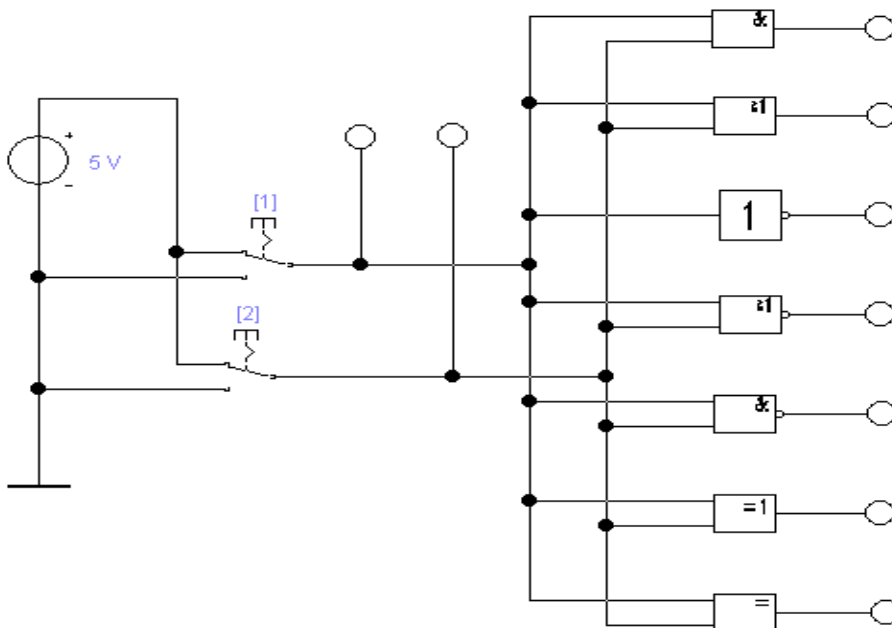


Рис. 11. Дослідження логічних схем (ручний режим)

Завдання 4. Дослідження логічних схем (автоматизований режим). На панелі інструментів відкрийте *Instruments*. Виберіть *Word Generator* і *Logic Analyzer*. Видаліть зі схеми джерело живлення та перемикачі. Замініть їх генератором слів *Word Generator*. Підключіть до входів аналізатора логіки *Logic Analyzer* перший та другий входи логічних схем та кожен з виходів логічних елементів. Ви маєте одержати схему, зображену на рис.12.

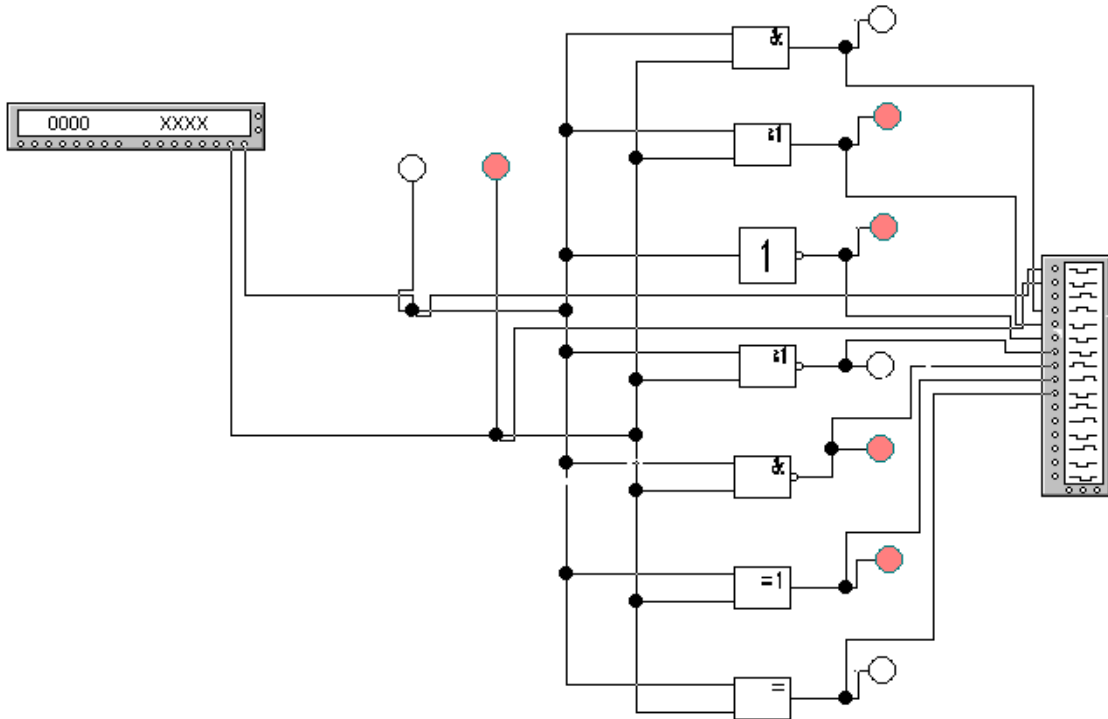
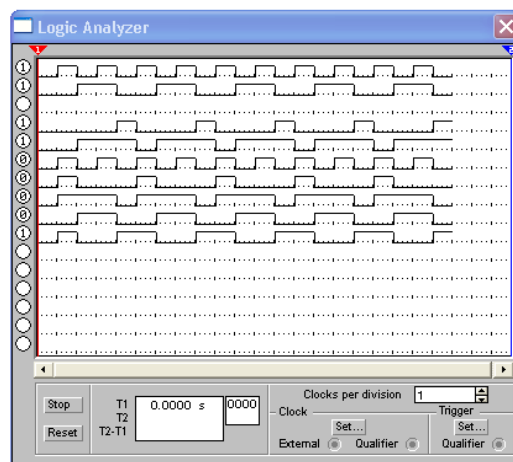
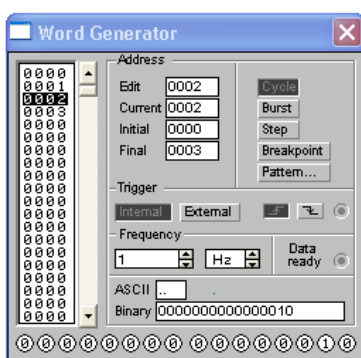


Рис. 12. Дослідження логічних схем (автоматизований режим)

Відредагуйте чотири перші слова генератора слів у вікні *Binary*, виставивши у двійковій системі числення відповідно 0 (...0000), 1 (...0001), 2 (...0010), 3 (...0011). Виставте кінцеву адресу (*Final*) 0003. Виставте частоту видачі слів *Frequency* 1Hz (рис.1.12). Приведіть у відповідність також частоту тактування в *Logic Analyzer*, виставивши *Internal clock rate* в *Clock setup* також 1Hz. Ввімкніть моделювання. Зафіксуйте осцилограми логічних сигналів.



4. Зміст звіту

1. Назва та мета лабораторної роботи.
2. Перелік основних елементів з бібліотеки EWB, необхідний для моделювання логічних схем і цифрових пристроїв ЕОМ.
3. Схеми дослідження ЛЕ, результати вимірювань та їх оцінка.
4. Висновки.

5. Контрольні питання

1. Які логічні елементи є в бібліотеці EWB?
2. Якими основними параметрами характеризуються ЛЕ?
3. За допомогою яких елементів можна змоделювати подачу логічної 1 і логічного 0?
4. Зробіть порівняльний аналіз ЛЕ за основними класифікаційними ознаками.
5. Які переваги ЛЕ у порівнянні з іншими цифровими мікросхемами?
6. Які види логіки розрізняють за типом використаних транзисторів розрізняють?

Лабораторна робота №2

Вивчення принципів побудови комбінаційних пристроїв

1. Мета роботи

Вивчення способів завдання функцій алгебри логіки (ФАЛ), законів алгебри логіки, методів побудови комбінаційних пристроїв.

2. Теоретичні відомості

Дискретні автомати ділять на два класи: комбінаційні автомати й автомати з пам'яттю.

У комбінаційному автоматі, що називається також автоматом без пам'яті або комбінаційним пристроєм (схемою), кожен сигнал на виході (логічні 0 або 1) визначається лише сигналами (логічні 0 або 1), що діють у цей момент часу на входах автомата, і не залежать від сигналів, що раніше діють на цих входах. Комбінаційний автомат не має пам'яті, він не зберігає інформації про свою попередню роботу.

В автоматах з пам'яттю вихідний сигнал визначається не тільки значеннями сигналів на входах у цей момент часу, але й внутрішнім станом автомата. Внутрішній стан автомата залежить від стану його елементів пам'яті.

У даній лабораторній роботі вивчаються тільки комбінаційні пристрої (КП) – дискретні автомати без внутрішньої пам'яті.

КП можна розглядати як функціональний перетворювач із більшим числом входів і виходів, на кожному з яких є один розряд числа, що приймає одне із двох значень: 0 або 1.

Функціональна схема такого КП наведена на рис. 1.

На його вхід подається вхідна величина X у вигляді паралельного багаторозрядного коду

$$X_m X_{m-1} \dots X_3 X_2 X_1,$$

де X_1 - молодший розряд числа,

X_m - старший розряд числа.

Протягом короткого часу, меншого за тривалість сигналів на вході, спрацьовують окремі елементи КП, що приводить до появи на виході величини Y у вигляді паралельного багаторозрядного коду

$$Y_m Y_{m-1} \dots Y_3 Y_2 Y_1,$$

де Y_1 - молодший розряд числа (0 або 1),

Y_m - старший розряд числа (0 або 1).

Після припинення дії вхідної величини X зникає вихідна величина Y .

Залежність числового коду Y вихідної величини від числового коду X вхідної величини визначається функцією алгебри логіки (ФАЛ) або перемикаючою функцією (ПФ)

$$Y = F(X) = F(X_m X_{m-1} \dots X_3 X_2 X_1).$$

Кожний складний КП (рис. 1), що має багато виходів, можна розбити на ряд простих КП з одним виходом, кожен їх яких відповідає одному розряду числового коду Y (рис. 2). У такому випадку для опису функціонування складного КП замість однієї складної ФАЛ $F(X)$ можна використати ряд простих ФАЛ $F_1, F_2, F_3, \dots, F_m$, що вказують значення кожного розряду числового коду Y вихідної величини залежно від числового коду X вхідної величини, а саме:

$$Y_1 = F_1(X_m X_{m-1} \dots X_3 X_2 X_1);$$

$$Y_2 = F_2(X_m X_{m-1} \dots X_3 X_2 X_1);$$

$$\dots$$

$$Y_m = F_m(X_m X_{m-1} \dots X_3 X_2 X_1).$$

Функції алгебри логіки (перемикаючі функції) $F_1, F_2, F_3, \dots, F_m$ можуть приймати тільки одне із двох значень: 0 або 1 і називаються булевими функціями.

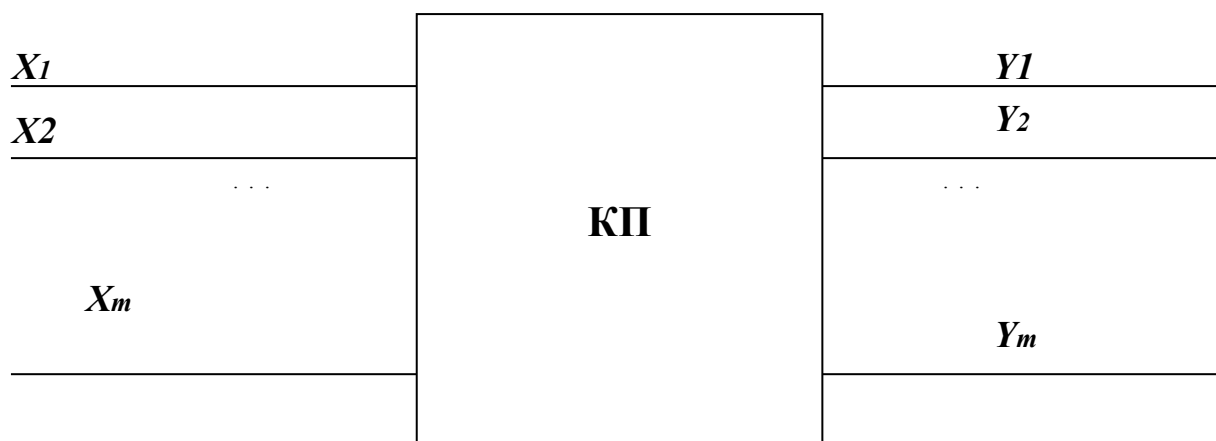


Рис. 1

Числові розряди $X_m X_{m-1} \dots X_3 X_2 X_1$ вхідної величини X називаються вхідними змінними або аргументами перемикаючою функції F .

Конкретна комбінація X_k числових значень всіх аргументів називається набором змінних, який являє собою одне елементарне повідомлення із заданого алфавіту.

Реальні дискретні автомати мають кінцеве число входів, отже, число змінних відповідних ФАЛ також кінцеве, тому що аргументи функції приймають тільки два значення, область визначення будь-якої ФАЛ також кінцева. Загальне число наборів двійкових аргументів, на яких визначається функція, буде

$$k = 2^n .$$

При кожному наборі змінних можливі два значення ФАЛ: 0 й 1. Тому у відповідність кожної ФАЛ можна поставити k -значне двійкове число. Отже, число функцій алгебри логіки

$$R = 2^k$$

Число наборів однієї змінної дорівнює двом. Тому число ФАЛ однієї змінної дорівнює 4.

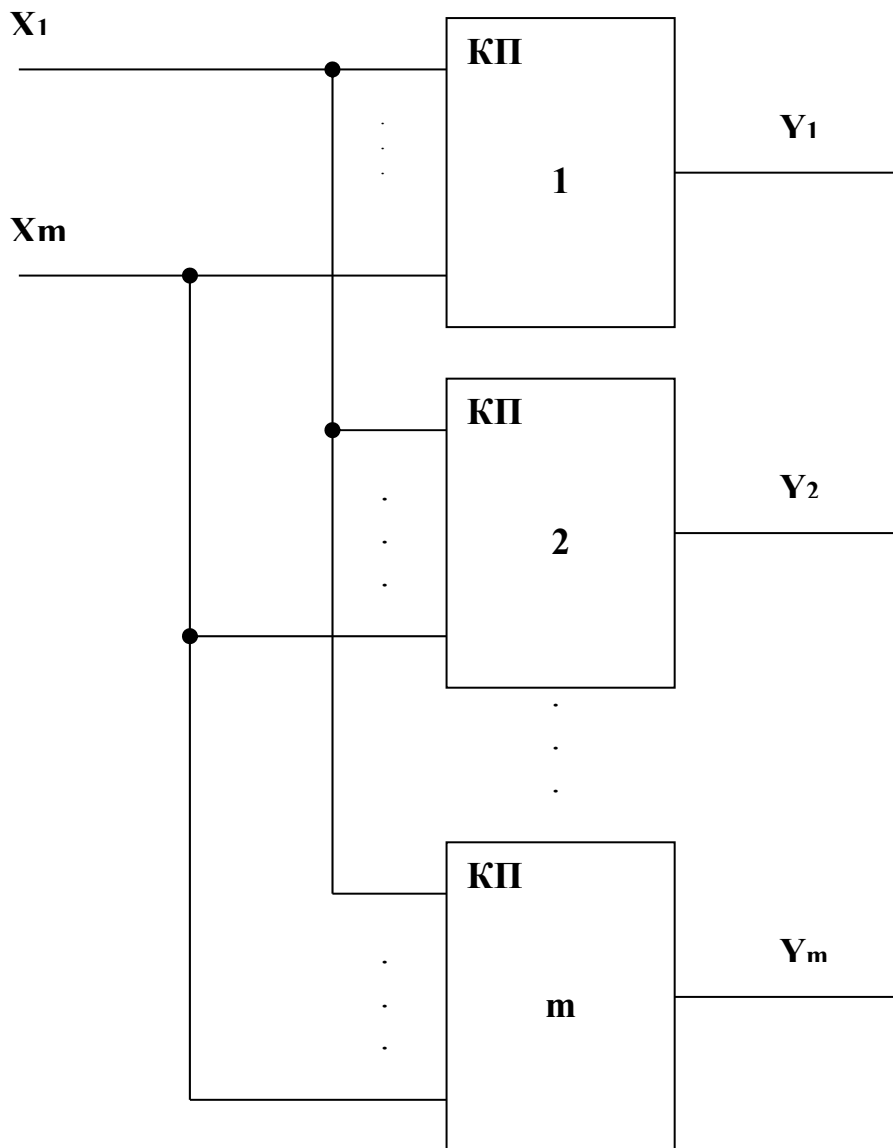


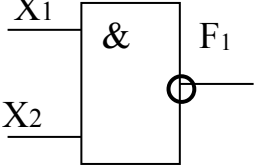
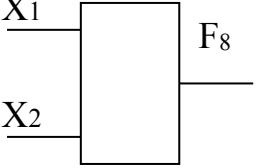
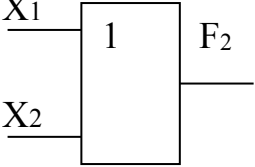
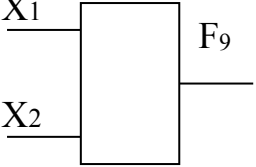
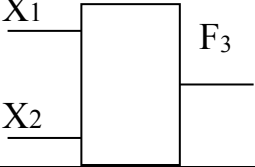
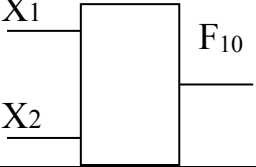
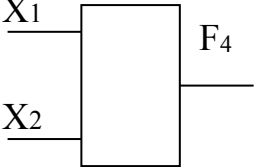
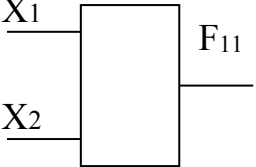
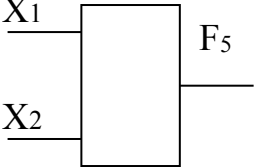
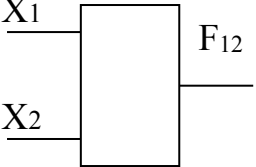
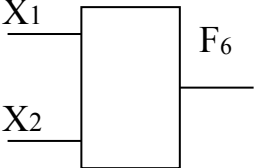
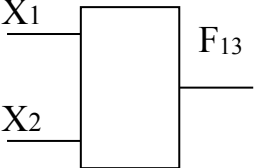
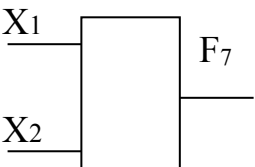
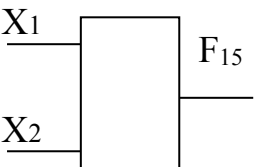
Рис. 2

Число різних наборів значень двох змінних дорівнює 4, а число різних можливих ФАЛ двох змінних становить 16. У табл. 1 показані функціональні схеми логічних елементів, що реалізують ФАЛ двох аргументів.

Будь-яку ФАЛ або просто логічну функцію можна задати одним з таких способів:

- табличний спосіб (таблиця істинності);
- числовий запис;
- аналітичний спосіб (алгебраїчний запис);
- карта Карно (діаграма Вейча)

Таблиця 1

Функція	Символічне зображення	Функція	Символічне зображення
$F_1 = X_1 \wedge X_2$ Кон'юнкція		$F_8 = X_1 \oplus X_2$ нерівнозначність (сума по модулю 2)	
$F_2 = X_1 \vee X_2$ Диз'юнкція		$F_9 = X_1 \bar{\rightarrow} X_2$ заборона X1	
$F_3 = X_1 \rightarrow X_2$ Імплікація		$F_{10} = X_2 \bar{\rightarrow} X_1$ заборона X2	
$F_4 = X_2 \rightarrow X_1$ Імплікація		$F_{11} = X_1$ повторення X1	
$F_5 = X_1 X_2$ штрих Шеффера		$F_{12} = X_2$ повторення X2	
$F_6 = X_1 \downarrow X_2$ функція Вебба		$F_{13} = \bar{X}_2$ заперечення X2 (інверсія X2)	
$F_7 = X_1 \equiv X_2$ еквівалентність (рівнозначність)		$F_{15} = 1$ константа одиниці	

Табличний спосіб. Кожна ФАЛ може бути задана за допомогою таблиці, що називають таблицею істинності, оскільки в математичній логіці логічна величина може приймати два значення, названі «істина» й «неправда», а їхніми цифровими аналогами вважаються відповідно 1 й 0.

Вид таблиці істинності наведений нижче.

Номер набору	x1	x2	...	xN	f
0
1
...
...

У лівих (x1,...xN) стовпцях перераховуються всі можливі набори аргументів, а в самому правому стовпці – значення функції для відповідних вхідних наборів. Самий лівий стовпець таблиці взагалі ж не потрібний й уведений тільки для зручності роботи з таблицею, головним чином для того, щоб систематизувати побудову таблиці, коли число наборів велике й виникає небезпека помилково записати деякий набір більше одного разу або опустити якийсь із наборів.

Можна запропонувати наступне правило побудови таблиці. По відомому числу двійкових елементів N (розрядності вхідного слова) визначають число різних наборів (при n змінних таблиця містить 2ⁿ рядків). Нумерують набори цілими числами починаючи з 0. Далі кожен номер набору представляють у вигляді двійкового числа розрядності N. Цей набір записують у відповідному рядку таблиці істинності. Повторивши зазначену дію для кожного набору, отримують підготовлену таблицю вхідних наборів, а вже потім, відповідно до конкретної функціональної залежності описуваної функції, заповнюють правий стовпець таблиці істинності.

Приклад. У таблиці задана ФАЛ трьох змінних f(x1,x2,x3).

Номер набору	X1	X2	X3	f
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Числовий спосіб. При задані функції кожному набору змінних ставлять у відповідність певне число у двійковій системі числення й привласнюють відповідний номер. Функцію задають у вигляді десяткових номерів тих наборів, на яких вона приймає одиничне значення. Змінним x1,x2,...,xn приписуються відповідні ваги й змінні записуються в порядку зменшення ваги.

Приклад. Для трьох змінних функція, запишеться: $f = \{0,3,4,7\} x_1x_2x_3$;
для чотирьох змінних: $g = \{2,3,4,5,6,10,11,12,13\} x_1x_2x_3x_4$.

Аналітичний спосіб. При аналітичному (формульному) способі задання функцію задають у вигляді алгебраїчного виразу, що показує, які й у якій послідовності повинні виконуватися логічні операції над аргументами функції.

Аналітичні вирази для функцій $f(x_1, x_2, x_3)$ і $g(x_1, x_2, x_3, x_4)$ мають вигляд:

$$f = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} x_2 x_3 \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 x_2 x_3$$

$$g = \overline{x_1} \overline{x_2} x_3 \overline{x_4} \vee \overline{x_1} \overline{x_2} x_3 x_4 \vee \overline{x_1} x_2 \overline{x_3} \overline{x_4} \vee \overline{x_1} x_2 \overline{x_3} x_4 \vee x_1 \overline{x_2} x_3 \overline{x_4} \vee x_1 \overline{x_2} x_3 x_4 \vee x_1 x_2 \overline{x_3} \overline{x_4} \vee x_1 x_2 \overline{x_3} x_4$$

При аналітичному способі задання перемикальної функції використовується суперпозиція – підстановка функції замість аргументу. Використовуючи суперпозицію, можна одержати будь-яку складну функцію. В аналітичному виразі порядок виконання дій визначається старшинством функцій (операцій), а якщо він не підходить, використовують круглі дужки. Найвищий пріоритет (старшинство) має функція НІ, потім І, а найменший – функція АБО.

Приклад. Нехай треба записати функцію

$$f = a \wedge b,$$

де

$$a = x_1 \wedge x_2,$$

$$b = x_1 \vee x_2,$$

тоді

$$f = x_1 \wedge x_2 \wedge (x_1 \vee x_2).$$

Аналітичний спосіб дозволяє задати складну функцію значно компактніше, ніж табличний. Однак, особливо на першому етапі, табличний метод зручніше й наочніше.

Карта Карно. Функцію задають у вигляді координатної карти станів, що називають картою Карно. Карти – це прямокутні таблиці, розділені горизонтальними й вертикальними лініями на клітинки. Загальне число клітинок відповідає числу наборів функції. Всі змінні розбивають на дві групи. Одна група визначає вибір рядка, інша – вибір стовпця. На перетинанні рядка й стовпця перебуває клітинка, у яку записують значення функції при відповідному наборі змінних. Поділ змінних на групи здійснюється так, щоб у сусідніх клітинках набори розрізнялися тільки значенням однієї змінної. У клітинках, що відповідають одиничним наборам ФАЛ, проставляються одиниці, клітки, що відповідають нульовим наборам, звичайно не відзначаються, тобто нульовим наборам відповідають порожні клітинки карти.

Карти Карно для функції трьох змінних $f = \{0, 3, 4, 7\} x_1 x_2 x_3$ і функції чотирьох змінних $g = \{2, 3, 4, 5, 6, 10, 11, 12, 13\} x_1 x_2 x_3 x_4$ наведені на рис. 3а й рис. 3б.

а)

	$x_1 x_2$	00	01	11	10
x_3	0	1			1
	1		1	1	

б)

X_1X_2	00	01	11	10
X_3X_4				
00		1	1	
01		1	1	
11	1			1
10	1	1		1

Рис. 3. Задання ФАЛ за допомогою карти Карно

Найбільший практичний інтерес мають для нас три функції.

Логічне заперечення НІ. Ця функція є функцією однієї змінної й визначає її інверсію. Вона істинна тоді, коли помилкова змінна, і помилкова, коли змінна істинна. Значення функції задаються таблицею істинності. Таблиця істинності має такий вигляд:

Номер набору	X	\overline{X}
0	0	1
1	1	0

При використанні аналітичного (формульного) запису функція логічного заперечення значення змінної (далі просто заперечення або НІ) зображується рискою над ім'ям змінної.

Запис « \overline{X} » читається як «не X».

Функція НІ графічно позначається кружком на вході або виході логічного символу.

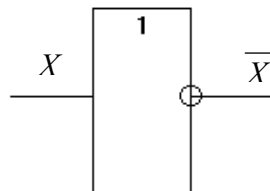


Рис. 4. Графічне позначення операції НІ

Для фізичної (апаратної) реалізації заперечення в найпростішому випадку використається елемент «інвертор». Електрична схема інвертора, рівні напруг на її вході й виході наведені на рис. 5. Там же наведена й таблиця істинності функції.

Транзистор у цій схемі працює в режимі ключа – він або закритий, і тоді через нього не протікає струм, а його опір можна вважати рівним нескінченності, або відкритий, і при цьому через нього протікає максимально можливий струм, а його опір можна вважати рівним нулю.

Стан напруг на вході й виході інвертора можна зобразити графічно у вигляді так званої тимчасової діаграми, на якій по осі абсцис відкладається час, а на осі ординат напруга (або умовний логічний рівень 0 або 1) для входу й

виходу. В останньому випадку можна говорити про логічну тимчасову діаграму. Логічна тимчасова діаграма інвертора наведена на рис. 5 г.

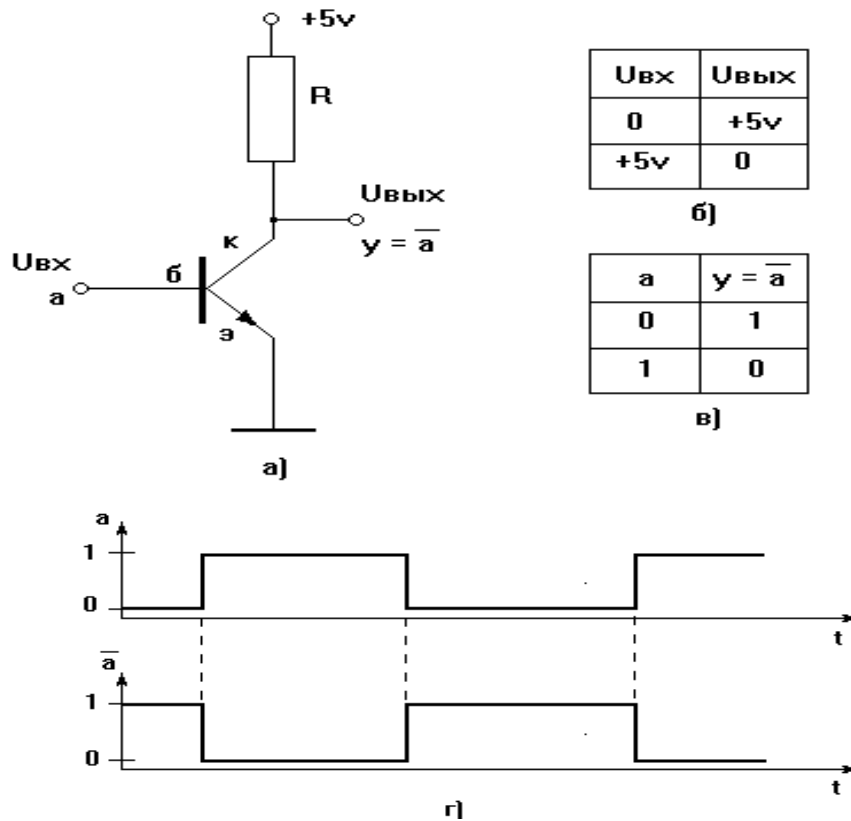


Рис. 5. Операція ІІ

Логічне множення. Ця функція є функцією двох змінних і істинна тоді й тільки тоді, коли одночасно істинні обидві входні змінні. Ця функція має кілька назв. Крім назви «логічне множення», вона називається також функцією кон'юнкція або функцією І. При використанні аналітичного (формульного) запису функція логічного множення (кон'юнкція, І) зображується символом $\&$, знаком \wedge або крапкою (як це робиться при зображенні операції множення в математиці). Запис « $a \wedge b$ » читається «a і b».

Графічне позначення функції наведено на рис. 6.

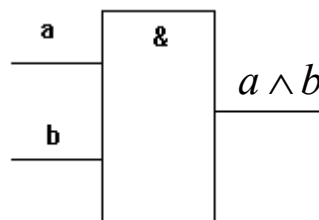


Рис. 6. Графічне позначення операції «І»

Таблиця істинності функції, найпростіша електрична схема, що реалізує кон'юнкцію двох змінних, а також таблиця напруг входів і виходу схеми й логічних тимчасових діаграм схеми наведені на рис. 7.

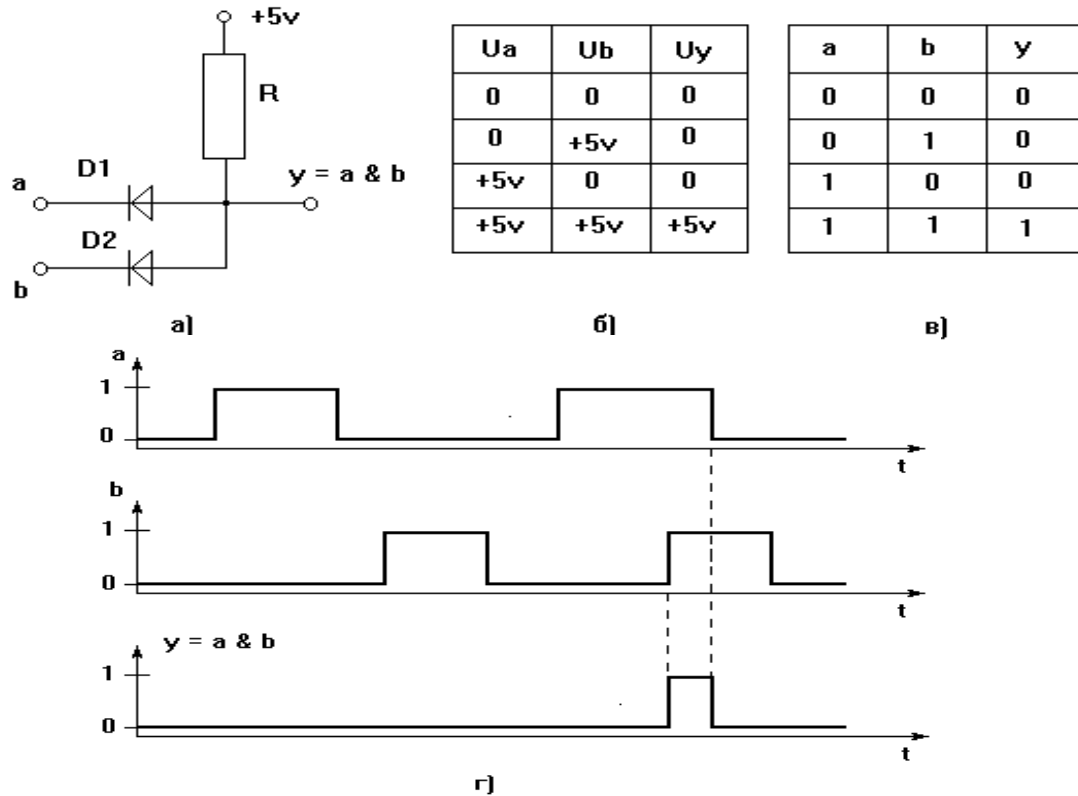


Рис. 7. Операція І

Логічне додавання. Ця функція є функцією двох змінних і істинна тоді, коли істинна хоча б одна вхідна змінна. Функція має кілька назв – «логічне додавання», функція диз'юнкції або функція АБО. При використанні аналітичного (формульного) запису функція логічного додавання (диз'юнкції, АБО) зображується символом « \vee » або знаком об'єднання. Запис « $a \vee b$ » читається «а або в».

Графічне позначення функції наведено на рис. 8.

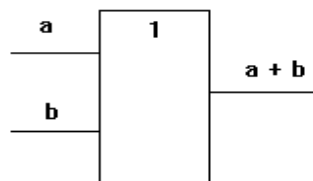


Рис. 8. Графічне позначення операції АБО

Таблиця істинності функції, найпростіша електрична схема, що реалізує диз'юнкцію двох змінних, а також таблиця напруг входів і виходу схеми й логічних тимчасових діаграм схеми наведені на рис. 9.

Три розглянуті функції дозволяють реалізувати будь-яку логічну функцію, якою б складною вона не була. Однак зручніше проілюструвати це можна при використанні аналітичного, а не табличного способу.

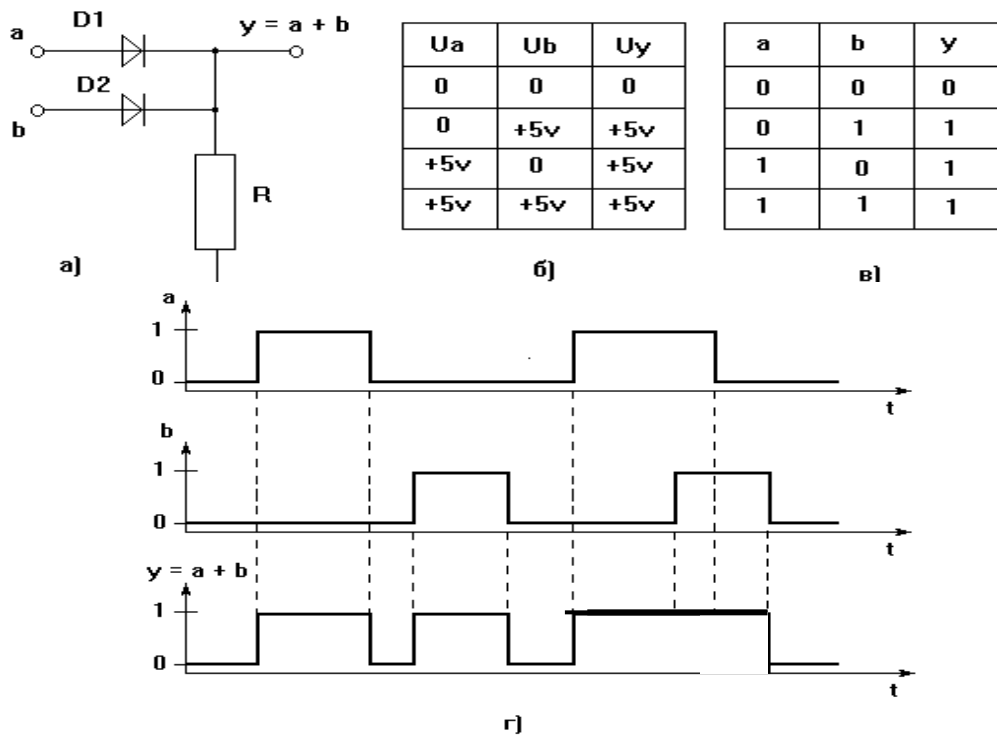


Рис. 9. Операція АБО

Основні закони алгебри логіки. Вирішення питань аналізу й синтезу схем дискретних пристроїв автоматики, телемеханіки й зв'язку пов'язані з перетворенням виразів, які містять ФАЛ основного базису. Запис, що містить двійкові змінні, з'єднаними знаками логічного додавання, множення й інверсії, називають логічними виразами. Такі вирази однозначно визначають комбінаційний пристрій, побудований на елементах І, АБО, НІ.

Основні закони булевої алгебри, що дозволяють робити різні тотожні перетворення формул булевої алгебри, включають:

1) Закон подвійного заперечення

$$\overline{\overline{a}} = a$$

2) Переміщаючий закон (закон комутативності)

$$a \vee b = b \vee a$$

$$a \wedge b = b \wedge a$$

$$a \oplus b = b \oplus a$$

3) Сполучний закон (закон асоціативності)

$$a \vee b \vee c = a \vee (b \vee c) = (a \vee b) \vee c$$

$$a \wedge b \wedge c = a \wedge (b \wedge c) = (a \wedge b) \wedge c$$

$$a \oplus b \oplus c = a \oplus (b \oplus c) = (a \oplus b) \oplus c$$

4) Розподільний закон (закон дистрибутивності)

$$a \wedge (b \vee c) = a \wedge b \vee a \wedge c$$

$$a \vee (b \wedge c) = (a \vee b) \wedge (a \vee c)$$

При доказі правильності тих або інших законів звичайно використовують таблиці істинності. Проілюструємо цей прийом для доказу правильності останнього закону.

Оскільки функція має 3 входи, число можливих вхідних наборів дорівнює 8 (див. таблицю нижче).

Значення функції в стовпці « $a \vee b \wedge c$ » виходить при використанні значень стовпців « a » і « $b \wedge c$ », а в стовпці « $(a \vee b) \wedge (a \vee c)$ » – при використанні стовпців « $a \vee b$ » і « $a \vee c$ ». Порівняння значень двох правих стовпців таблиці доводить правильність другого запису розподільного закону.

Номер набору	a	b	c	$b \wedge c$	$a \vee b$	$a \vee c$	$a \vee b \wedge c$	$(a \vee b) \wedge (a \vee c)$
0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0
2	0	1	0	0	1	0	0	0
3	0	1	1	1	1	1	1	1
4	1	0	0	0	1	1	1	1
5	1	0	1	0	1	1	1	1
6	1	1	0	0	1	1	1	1
7	1	1	1	1	1	1	1	1

5) Правило Де-Моргана

$$\overline{a \wedge b \wedge c} = \overline{a} \vee \overline{b} \vee \overline{c}$$

$$\overline{a \vee b \vee c} = \overline{a} \wedge \overline{b} \wedge \overline{c}$$

6) Правила операцій з константами 0 й 1

$$\overline{0}=1; \quad \overline{1}=0;$$

$$a \wedge 1 = a; \quad a \wedge 0 = 0;$$

$$a \vee 1 = 1; \quad a \vee 0 = a;$$

$$a \oplus 1 = \overline{a}; \quad a \oplus 0 = a$$

7) Правила операцій зі змінної і її інверсією

$$a \wedge \overline{a} = 0$$

$$a \vee \overline{a} = 1$$

$$a \oplus \overline{a} = 1$$

8) Закон повторення

$$a \wedge a = a$$

$$a \vee a = a$$

$$a \oplus a = 0$$

Наслідок закону повторення – правило приведення подібних членів у виразі:

$$a \wedge a \wedge \dots \wedge a = a$$

$$a \vee a \vee \dots \vee a = a$$

9) Закон поглинання

$$a \vee a \wedge b = a$$

$$a \wedge (a \vee b) = a$$

Для доказу правильності закону використаємо аналітичний метод і вже відомі закони.

$$a \vee a \wedge b = a \wedge 1 \vee a \wedge b = a \wedge (1 \vee b) = a \wedge 1 = a$$

$$a \wedge (a \vee b) = a \wedge a \vee a \wedge b = a \vee a \wedge b = a$$

10) Закон склеювання

$$a \wedge b \vee a \wedge \bar{b} = a \wedge (b \vee \bar{b}) = a \wedge 1 = a$$

$$(a \vee b) \wedge (a \vee \bar{b}) = a \vee a \wedge b \vee a \wedge \bar{b} \vee b \wedge \bar{b} = a \vee a \wedge (b \vee \bar{b}) \vee 0 = a \vee a \wedge 1 \vee 0 = a \vee 0 = a$$

Приклади використання розглянутих законів для спрощення логічних виразів.

Приклад 1

$$X \wedge Y \vee X \wedge \bar{Y} \vee \bar{X} \wedge Y \vee \bar{X} \wedge \bar{Y} = X \wedge (Y \vee \bar{Y}) + \bar{X} \wedge (Y \vee \bar{Y}) = X \wedge 1 \vee \bar{X} \wedge 1 = 1$$

Приклад 2

$$(X \vee Y) \wedge (X \vee \bar{Y}) \wedge (\bar{X} \vee Y) \wedge (\bar{X} \vee \bar{Y}) = X \wedge \bar{X} = 0$$

Приклад 3

$$\overline{(\bar{X} \vee Y) \wedge \bar{Z} \vee X \wedge \bar{Y} \wedge Z} =$$

Застосуємо правило Де-Моргана:

$$= \overline{(\bar{X} \vee Y) \wedge \bar{Z}} \wedge \overline{X \wedge \bar{Y} \wedge Z} =$$

$$= (\overline{\bar{X} \vee Y}) \vee \overline{\bar{Z}} \wedge \overline{X \wedge \bar{Y} \wedge Z} =$$

$$= X \wedge \bar{Y} \vee X \wedge \bar{Y} \wedge Z = X \wedge \bar{Y} (1 \wedge Z) =$$

$$= X \wedge \bar{Y} \wedge Z$$

3. Завдання

- 1) Вивчити способи завдання ФАЛ й основні закони алгебри логіки.
- 2) Вивчити принципи роботи логічних елементів «І», «АБО», «НІ» і можливості їхнього використання для синтезу логічних пристроїв.
- 3) Синтезувати схему, що реалізує функцію, задану числовим набором, на логічних елементах у базисі «І», «АБО», «НІ». Варіант вибирається з таблиці 3 за вказівкою викладача.
- 4) З використанням синтезованої схеми побудувати таблицю істинності заданої функції.
- 5) Використовуючи закони алгебри логіки, мінімізувати задану функцію. Синтезувати схему, що реалізує мінімізовану функцію на логічних елементах у базисі «І», «АБО», «НІ».
- 6) З використанням синтезованої схеми побудувати таблицю істинності мінімізованої функції.

Таблиця 3

№ варіанта	Функція $F(X1, X2, X3, X4)$	№ варіанта	Функція $F(X1, X2, X3, X4)$
1	2,4,5,7,10,14	15	3,5,7,9,11,13,14
2	0,2,5,11,14,15	16	1,3,4,6,9,11,13
3	1,5,6,8,11,13	17	1,2,3,5,7,8,10
4	3,4,7,11,12,15	18	1,3,7,8,9,11
5	2,4,6,9,11,15	19	3,5,8,8,11,12,13
6	2,3,8,12,13,14	20	0,2,4,8,9,10,11,13
7	4,5,8,10,11,13	21	1,2,3,6,9,11,12
8	0,1,3,4,9,14	22	3,4,5,7,9,11,12,14
9	8,9,11,10,13,15	23	1,6,7,8,11,14,15
10	5,7,8,9,11,15	24	2,3,5,7,9,10,11,15
11	5,10,12,13,14	25	3,5,6,8,9,11,12,14
12	1,4,5,6,7,8,9,12,13	26	1,3,5,7,8,10,11
13	3,4,5,7,9,13,14,15	27	0,3,4,5,7,11,13
14	0,1,2,3,4,6,7,8,9,11,15	28	0,2,6,8,10,11,15

4. Зміст звіту

1. Функціональні логічні схеми, синтезовані в роботі.
2. Опис послідовності складання модельованої схеми.
3. Таблиці істинності заданої й мінімізованої функцій.
4. Порівняння таблиць істинності заданої й мінімізованої функцій.
5. Висновки.

5. Контрольні питання

1. За допомогою яких елементів можна змоделювати подачу логічної 1 і логічного 0?
2. Які закони алгебри логіки використані при перетворенні функцій у прикладах 1, 2, 3?
3. Які закони алгебри логіки використані при перетворенні заданої функції?
4. Опишіть процес отримання таблиці істинності.
5. Які параметри налаштовуються у генераторі слів?
6. Опишіть режими роботи генератора слів.

Лабораторна робота №3 Дослідження шифраторів та дешифраторів

1. Мета роботи

Ознайомитись з принципами побудови та функціонування шифраторів та дешифраторів, провести дослідження цих схем, набути навички схемотехнічного моделювання на персональних комп'ютерах.

2. Теоретичні відомості

Шифратор – це комбінаційна схема, призначена для перетворення двійкового розподільного (унітарного) коду в двійковий код іншого типу, наприклад, в двійковий позиційний код, двійково-десятковий код, код Грея тощо.

Двійковий розподільний код (код «1 з N ») – це такий двійковий код, що містить 1 або 0 тільки в одному розряді. В першому випадку код називається прямим розподільним, в іншому – інверсним.

Умовне позначення шифратора приведено на рис. 1. Функція шифратора позначається буквами CD (coder). Входи шифратора нумеруються послідовними десятковими цифрами 0, 1, ..., $N-1$, а позначки виходів відображають вагу вихідних двійкових змінних 1, ..., 2^{n-1} . Шифратор має N входів та $n = \lceil \log_2 N \rceil$ виходів. Такий шифратор називається *повним*. При найменшому числі виходів шифратор називається *неповним*.

Якщо подати сигнал на один із входів, то на його виходах формується двійковий код, який відображає номер активного входу. Логіка функціонування простого шифратора 4×2 – на чотири входи та два виходи наведена в таблиці 1.

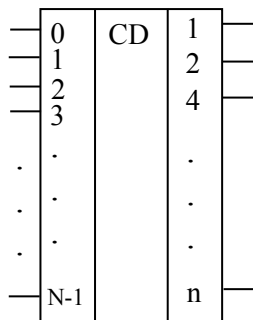


Рис. 1. Шифратор

Таблиця 1

№ набору а	Входи				Виходи	
	3	2	1	0	1	0
0						
1						
2						
3						

З таблиці істинності можна отримати по дві мінімальні функції (диз'юнктивна та кон'юнктивна), що реалізуються шифратором:

$$Y_1 = X_3 \vee X_2; \quad Y_0 = X_3 \vee X_1 \quad \text{або}$$

$$Y_1 = \overline{X_1} \cdot \overline{X_0} = \overline{X_3} \vee X_2 = \overline{X_3} \cdot \overline{X_2}; \quad Y_0 = \overline{X_2} \cdot \overline{X_0} = \overline{X_3} \vee X_1 = \overline{X_3} \cdot \overline{X_1}.$$

Звідси видно, що є два варіанти побудови схеми шифратора – на елементах АБО чи елементах І. В другому випадку необхідно на входи

шифратора подавати інверсний унітарний код. Таким чином, в результаті шифрування здійснюється стиснення інформації.

Прикладом використання шифратора є пристрої вводу інформації в ЕОМ з клавіатури. При натисненні клавіші на певній вхідній шині шифратора з'являється логічна одиниця та на виходах встановлюється двійковий код, що відповідає нанесеному на клавішу знаку (літері, цифрі тощо).

Дешифратор – призначений для перетворення двійкового позиційного коду в двійковий розподільний код, тобто виконує функцію, обернену функції шифратора.

З точки зору логіки функціонування дешифратора є також комбінаційними схемами з багатьма виходами, що перетворюють набори значень двійкових кодів (аргументів) на вході в однозначне значення розподільного коду (функцій) на виході.

В загальному випадку дешифратор має n входів і $N = 2^n$ виходів. Виходи дешифратора можуть бути як прямі, так і інверсні. В залежності від цього розрізняють прямі та інверсні дешифратори. В умовному позначенні дешифратора (рис. 2) проставляються букви DC (Decoder). Входи дешифратора прийнято позначати їх двійковою вагою.

Відповідно до логіки функціонування, складемо таблицю істинності прямого повного дешифратора на 2 входи (табл. 2).

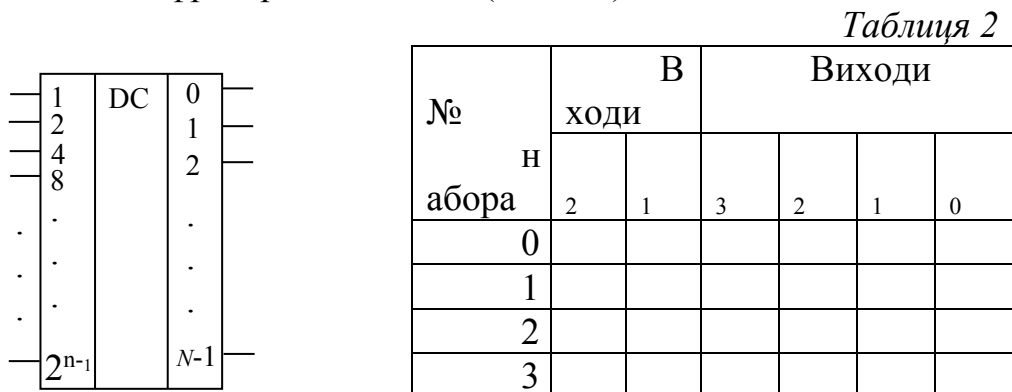


Рис. 2. Дешифратор

Оскільки на кожному виході дешифратора одиничне значення функції виходу з'являється лише при одному наборі значення вхідних змінних, з табл. 2 випливає, що

$$Y_0 = \overline{X_2} \cdot \overline{X_1} = \overline{X_2 \vee X_1}; Y_1 = \overline{X_2} \cdot X_1 = \overline{X_2 \vee \overline{X_1}}; Y_2 = X_2 \cdot \overline{X_1} = \overline{X_2 \vee X_1}; Y_3 = X_2 \cdot X_1 = \overline{\overline{X_2 \vee \overline{X_1}}}$$

Побудова прямих дешифраторів відповідно до логічних рівнянь можлива на елементах І, АБО-НІ.

Рівняння для функцій виходів інверсного дешифратора мають вигляд:

$$\overline{Y_0} = \overline{\overline{X_2} \cdot \overline{X_1}} = X_2 \vee X_1; \overline{Y_1} = \overline{\overline{X_2} \cdot X_1} = X_2 \vee \overline{X_1}; \overline{Y_2} = \overline{X_2 \cdot \overline{X_1}} = \overline{X_2} \vee X_1; \overline{Y_3} = \overline{X_2 \cdot X_1} = \overline{X_2} \vee \overline{X_1}$$

Для побудови схем інверсних дешифраторів використовують елементи І-НІ, АБО.

Дешифратори знаходять застосування в пристроях, в яких необхідно вирішити задачу вибору. Наприклад, в запам'ятовуючих пристроях – для

перетворення коду адреси в сигнал вибору відповідної комірки пам'яті, в пристроях управління – для розподілення управляючих сигналів тощо.

3. Завдання

Завдання 1. Побудувати та дослідити повний шифратор, що перетворює трьохрозрядний розподільний код в двійковий позиційний

Послідовність синтезу схеми шифратора така:

- скласти таблицю істинності, яка відображає логіку функціонування шифратора;
- з таблиці істинності отримати логічні вирази вихідних функцій шифратора у диз'юнктивній або кон'юнктивній формі;
- за допомогою логічних елементів реалізувати логічні функції та побудувати схему повного шифратора.

Складіть схему представлену на рисунку 3. Включіть моделювання. Натискуючи по черзі (кожну окремо) клавіші 1-7, слідкуйте за станом світлодіодів на вході та виході схеми та за показаннями цифрового індикатора. Складіть таблицю істинності (табл. 1).

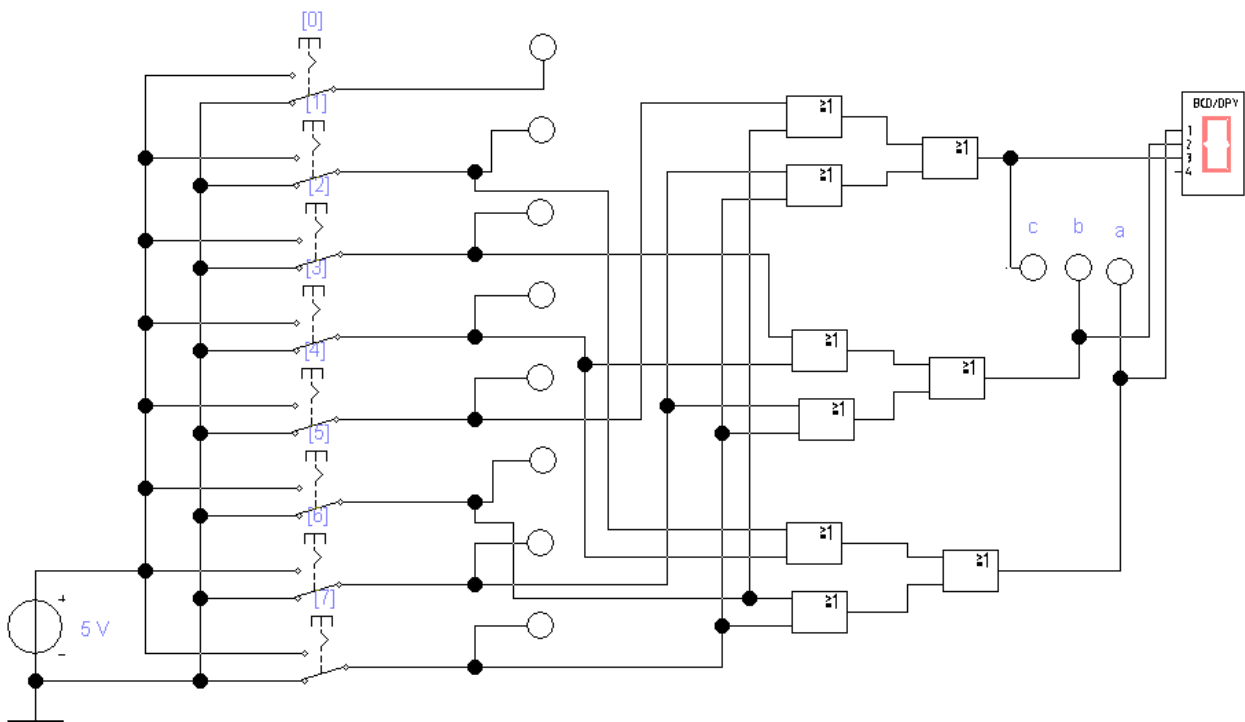


Рис. 3. Схема повного шифратора

Аналізуючи схему, можна узагальнити принципи побудови шифраторів на багаторозрядні розподільні коди. Дійсно, на входи кожного елемента АБО підключаються розряди розподільного коду з номерами, запис яких в двійковому позиційному коді потребує виробки на виході елемента АБО одиничного значення двійкового розряду. Наприклад, реалізація значення молодшого двійкового розряду (Y_0) в схемі шифратора (а), потребує об'єднання за допомогою елемента АБО розрядів розподільного коду X_1 , X_3 та X_7 , тобто

$Y_0 = X_1 \vee X_3 \vee X_7$ і т.д. для всіх двійкових розрядів.

Особливістю побудови схеми шифраторів на елементах І-НІ необхідно віднести те, що на їх вхід необхідно подавати інверсний розподільний код.

Завдання 2. Побудувати та дослідити повний дешифратор 3×8 , що перетворює трьохрозрядний двійковий код в розподільний код

Послідовність синтезу схеми дешифратора аналогічна синтезу схем шифраторів:

- складемо таблицю істинності дешифратора та отримуємо логічні вирази вихідних функцій дешифратора у диз'юнктивній (при реалізації у базисі І та НІ) або кон'юнктивній формі (при реалізації у базисі АБО-НІ).

Логіка роботи повного дешифратора 3×8 наведена в таблиці 3.

Таблиця 3

X_3	X_2	X_1	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Із табл. 3 отримуємо вирази для логічних функцій Y_0, Y_1, \dots, Y_7 дешифратора 3×8 у вигляді ДДНФ:

$$Y_0 = \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1}; Y_1 = \overline{X_3} \cdot \overline{X_2} \cdot X_1; Y_2 = \overline{X_3} \cdot X_2 \cdot \overline{X_1}; Y_3 = \overline{X_3} \cdot X_2 \cdot X_1; Y_4 = X_3 \cdot \overline{X_2} \cdot \overline{X_1};$$

$$Y_5 = X_3 \cdot \overline{X_2} \cdot X_1; Y_6 = X_3 \cdot X_2 \cdot \overline{X_1}; Y_7 = X_3 \cdot X_2 \cdot X_1.$$

Ці рівняння є основою побудові схеми дешифратора на логічних елементах І та НІ.

Для побудови дешифратора у базисі АБО-НІ необхідно до виразів застосувати закон де Моргана та система рівнянь набуває вигляду:

$$Y_0 = \overline{X_3 + X_2 + X_1}; Y_1 = \overline{X_3 + X_2 + \overline{X_1}}; Y_2 = \overline{X_3 + \overline{X_2} \cdot X_1}; Y_3 = \overline{X_3 + \overline{X_2} + \overline{X_1}}; Y_4 = \overline{\overline{X_3} + X_2 + X_1};$$

$$Y_5 = \overline{\overline{X_3} + X_2 + \overline{X_1}}; Y_6 = \overline{\overline{X_3} + \overline{X_2} + X_1}; Y_7 = \overline{\overline{X_3} + \overline{X_2} + \overline{X_1}}.$$

Складіть схему подану на рисунку 4.

Проведіть аналіз схеми дешифратора. Включіть моделювання. Натискаючи клавіші А, В, С, формуйте у двійковій системі числення коди чисел від 0 до 7. Слідкуйте за станом світлодіодів на вході та виході схеми. Складіть таблицю істинності.

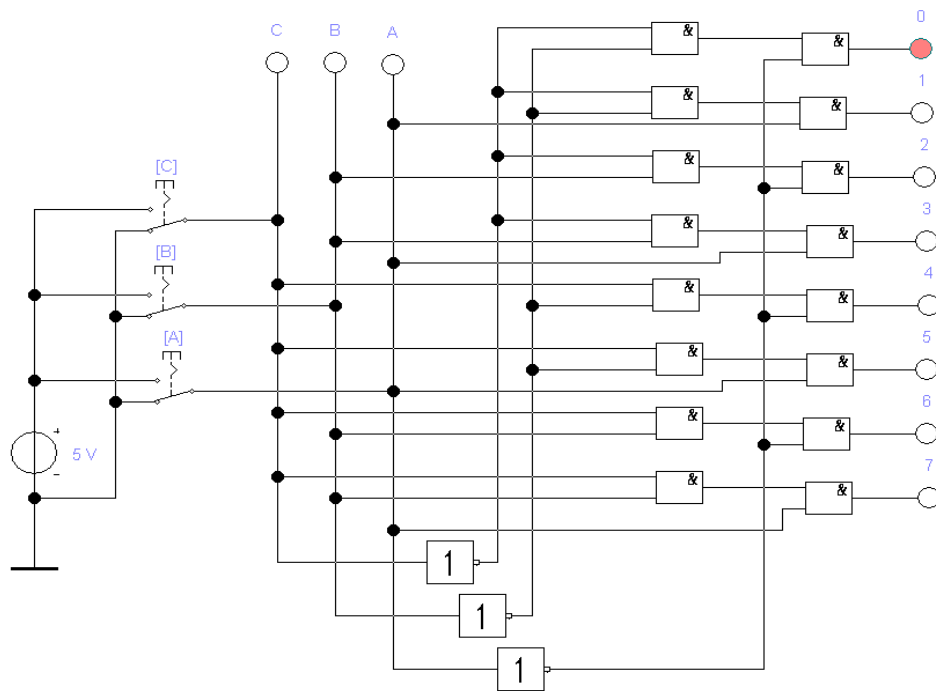


Рис. 4. Схема дешифратора

Завдання 3. Дослідження дешифратора та шифратора в автоматизованому режимі.

Переформуйте схему на рисунку 4 в схему, зображену на рисунку 5. Для цього видаліть перемикачі А, В, С та джерело живлення. Замість них вклучіть генератор слів *Word Generator*. Додайте на вході та виході схеми цифрові індикатори. Вклучіть режим моделювання. Упевніться, що всі індикатори послідовно висвічують числа від 0 до 7 як у десятковій, так і в двійковій системах числення. Прослідкуйте відповідність показань цифрового індикатора на вході і декодування цих значень, позначених індикаторами на виході

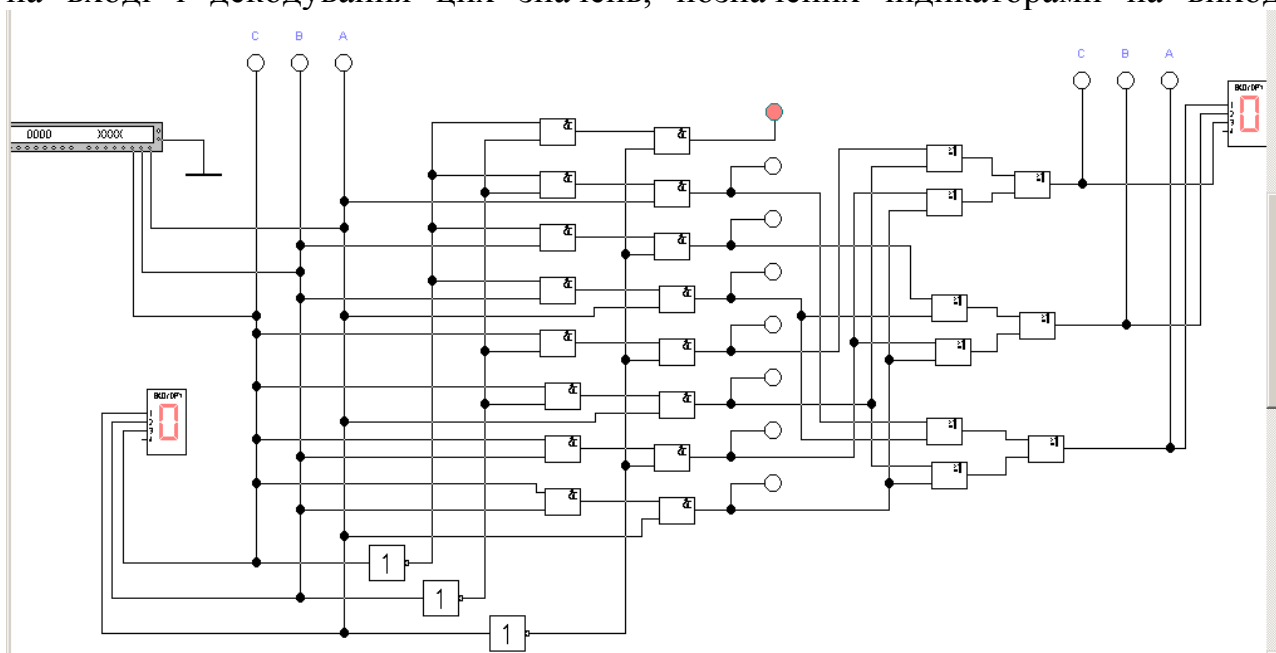


Рис. 5. Дослідження дешифратора та шифратора в автоматизованому режимі

4. Зміст звіту

1. Назва та мета лабораторної роботи.
2. Схеми та результати дослідження шифраторів та дешифраторів.
3. Висновки.

5. Контрольні питання

1. Поясніть призначення шифраторів та дешифраторів.
2. За якими ознаками класифікують шифратори та дешифратори ?
3. Принцип побудови та роботи шифраторів та дешифраторів.
4. Для чого використовується каскадування шифраторів та дешифраторів?

Лабораторна робота № 4

Дослідження мультиплексорів та демультимплексорів

1. Мета роботи

Ознайомитись з принципами побудови та роботи мультиплексорів та демультимплексорів, провести дослідження цих цифрових пристроїв, набути навички схемотехнічного моделювання на персональних комп'ютерах.

2. Теоретичні відомості

Мультиплексор – це цифровий функціональний вузол, що забезпечує почергову комутацію (під'єднання) одного з декількох інформаційних входів до загального виходу. Номер входу X_i , з якого інформація буде передаватися на вихід Y , визначається адресним кодом A_0, A_1, \dots, A_{m-1} . Зв'язок між числом інформаційних n і адресних m входів визначається співвідношенням $n = 2^m$.

Умовне графічне позначення мультиплексорів показане на рисунку 1. Функція мультиплексорів записується буквами *MUX* (*multiplexor*).

Логіка роботи чотиривходового мультиплексора наведена в таблиці 1.

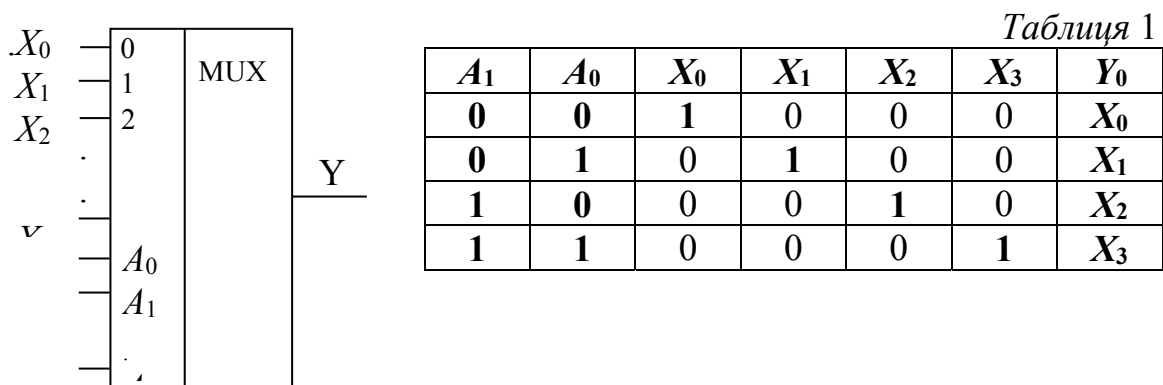


Рис. 1. Мультиплексор

На основі табл. 1 вираз вихідної функції Y можна подати у вигляді:

$$Y = X_0 \cdot \overline{A_0} \cdot \overline{A_1} + X_1 \cdot \overline{A_0} \cdot A_1 + X_2 \cdot A_0 \cdot \overline{A_1} + X_3 \cdot A_0 \cdot A_1.$$

Згідно з отриманим виразом будують схему мультиплексора.

Найчастіше використовуються 1, 2, 3 та 4-х розрядні мультиплексори з $n = 2, 4, 8, 16$ входами і виконані у вигляді мікросхем. З них будуються складні структури мультиплексорів із заданими n та m .

Мультиплексори застосовують для таких операцій: комутації окремих ліній та груп ліній; перетворення паралельного коду в послідовний; реалізації логічних функцій; побудови схем порівняння, генераторів кодів.

Демультимплексор – виконує функцію, обернену функції мультиплексора, тобто забезпечує передачу інформації з одного вхідного каналу Y в один з декількох $X_0, X_1, X_2, \dots, X_{n-1}$ вихідних каналів (рисунок 2).

В умовних позначеннях функція демультиплектора позначається буквами DMX.

Номер виходу, на який передається значення вхідного сигналу, визначається адресним кодом A_0, A_1, \dots, A_{m-1} . Адресні входи m та інформаційні входи n пов'язані співвідношенням $n = 2^m$ або $m = \log_2 n$.

Логіка роботи двоадресного демультиплектора наведена в таблиці 2.

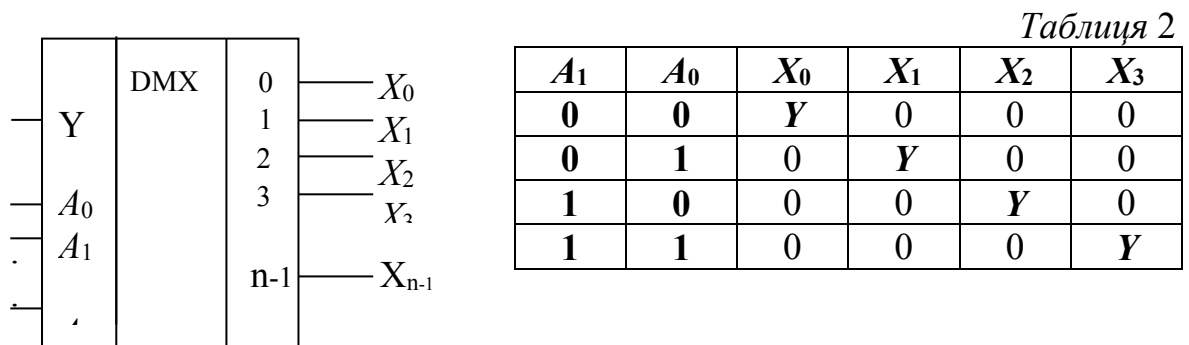


Рис. 2. Демультиплексор

За даними таблиці 2 можна записати систему рівнянь для інформаційних виходів:

$$X_0 = Y \cdot \overline{A_0} \cdot \overline{A_1}; X_1 = Y \cdot A_0 \cdot \overline{A_1}; X_2 = Y \cdot \overline{A_0} \cdot A_1; X_3 = Y \cdot A_0 \cdot A_1.$$

На основі рівнянь будуються схеми демультиплексорів.

Демультиплексори використовуються для таких операцій: комутації як окремих ліній, так і багаторозрядних шин; перетворення послідовного коду в паралельний; реалізації логічних функцій.

3. Завдання

Завдання 1. Побудувати чотиривходовий мультиплексор «4→1» в базисі І-НІ та дослідити його роботу.

Для побудови мультиплектора «4→1» в базисі І-НІ перетворимо вираз вихідної функції Y чотиривходового мультиплектора по закону де Моргана $\overline{A+B+C+D} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$ та отримуємо:

$$Y = \overline{X_0 \cdot \overline{A_0} \cdot \overline{A_1} \cdot X_1 \cdot A_0 \cdot \overline{A_1} \cdot X_2 \cdot \overline{A_0} \cdot A_1 \cdot X_3 \cdot A_0 \cdot A_1}$$

Згідно з виразом будуємо схему мультиплектора на логічних елементах І-НІ.

Складіть схему наведену на рисунку 3. Інформаційні входи мультиплектора X_0, X_1, X_2 та X_3 з'єднані з виходами дешифратора, який перетворює двійковий позиційний код генератора слів в двійковий розподільний, що містить рівень логічної одиниці тільки на одному з виходів. Номер вхідного каналу відповідає номеру натиснутої клавіші 0, 1, 2, та 3, які імітують адресні входи мультиплектора. Сигнали усіх каналів на виході мультиплектора стають єдиним сигналом, в якому кожний канал є представленим у певному часовому відрізку.

Запрограмуйте генератор слів *Word Generator* та приведіть до робочого стану аналізатор логіки *Logic Analyzer*.

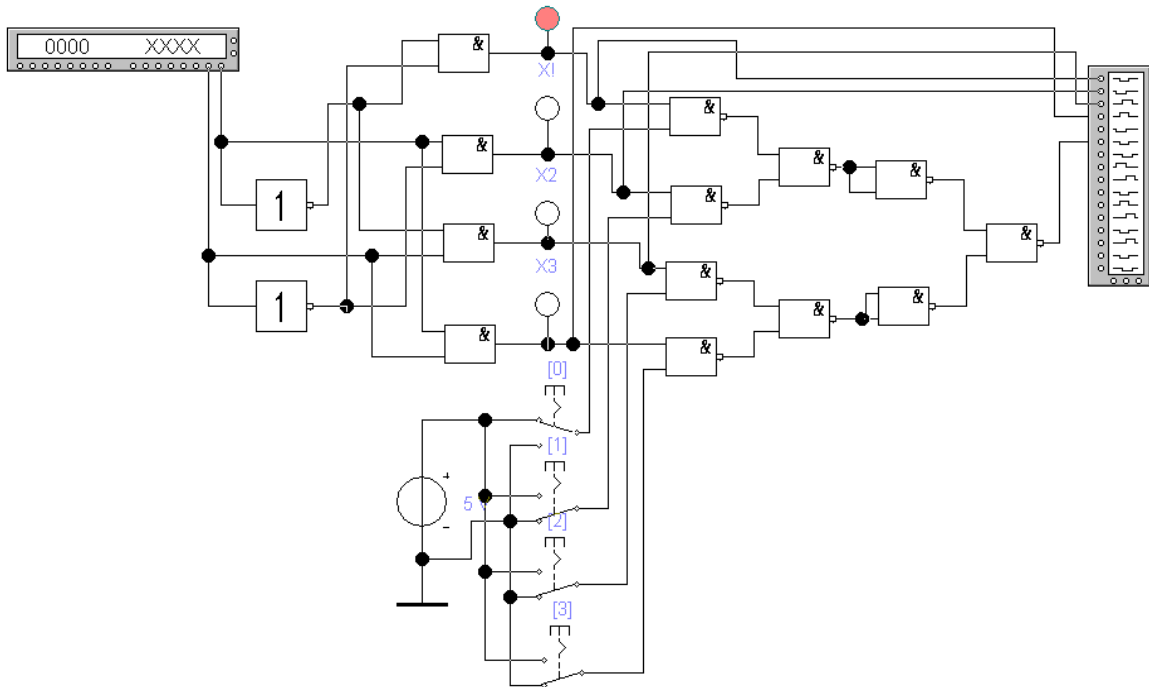


Рис. 3. Схему мультиплектора на логічних елементах І-НІ

Натисніть довільну комбінацію клавiш 0 - 3 і включіть моделювання. В покроковому режимі сигнали генератора слів пройдуть усі виходи дешифратора (входи мультиплектора). Відмічайте, на якому кроці на виході мультиплектора з'являється сигнал (сигнал імітується логічною одиницею, що вводиться за допомогою відповідного перемикача). Намалюйте осцилограми різних комбінацій перемикачів, включених в положення логічної одиниці.

Зразок осцилограми наведено на рис. 4. Осцилограми можете внести до звіту через *Print Screen*. Дайте пояснення, сигнали яких каналів проходять на вихід мультиплектора. Який вигляд матиме осцилограма, якщо всі перемикачі будуть в положенні включено?

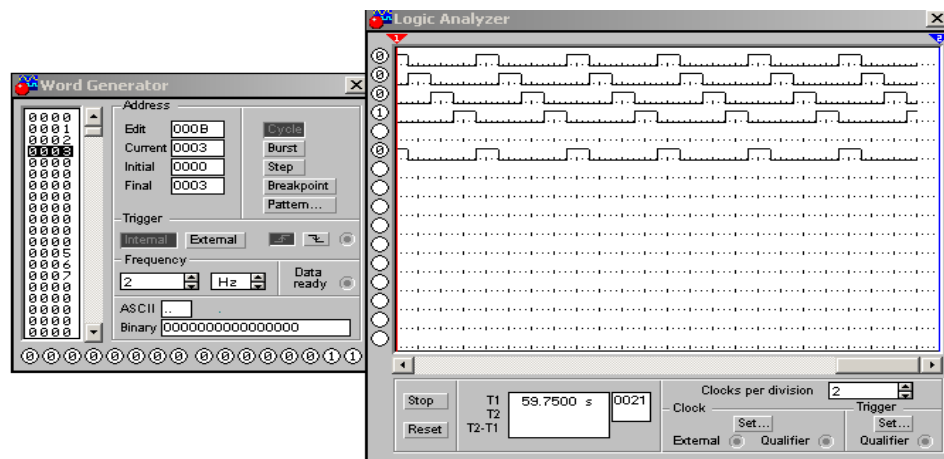


Рис. 4. Осцилограма

Завдання 2. Побудувати демультимплексор «1→4» в базисі АБО-НІ та дослідити його роботу.

Для побудови демультимплексора «1→4» в базисі АБО-НІ перетворимо вираз вихідної функції Y двоадресного демультимплексора по закону де Моргана $\overline{A \cdot B \cdot C \cdot D} = \overline{A} + \overline{B} + \overline{C} + \overline{D}$ та отримуємо:

$$X_0 = \overline{Y} + A_0 + A_1; X_1 = \overline{Y} + \overline{A_0} + A_1; X_2 = \overline{Y} + A_0 + \overline{A_1}; X_3 = \overline{Y} + \overline{A_0} + \overline{A_1}$$

Згідно з виразом будуюмо схему демультимплексора на логічних елементах АБО-НІ.

Складіть схему наведену на рисунку 5.

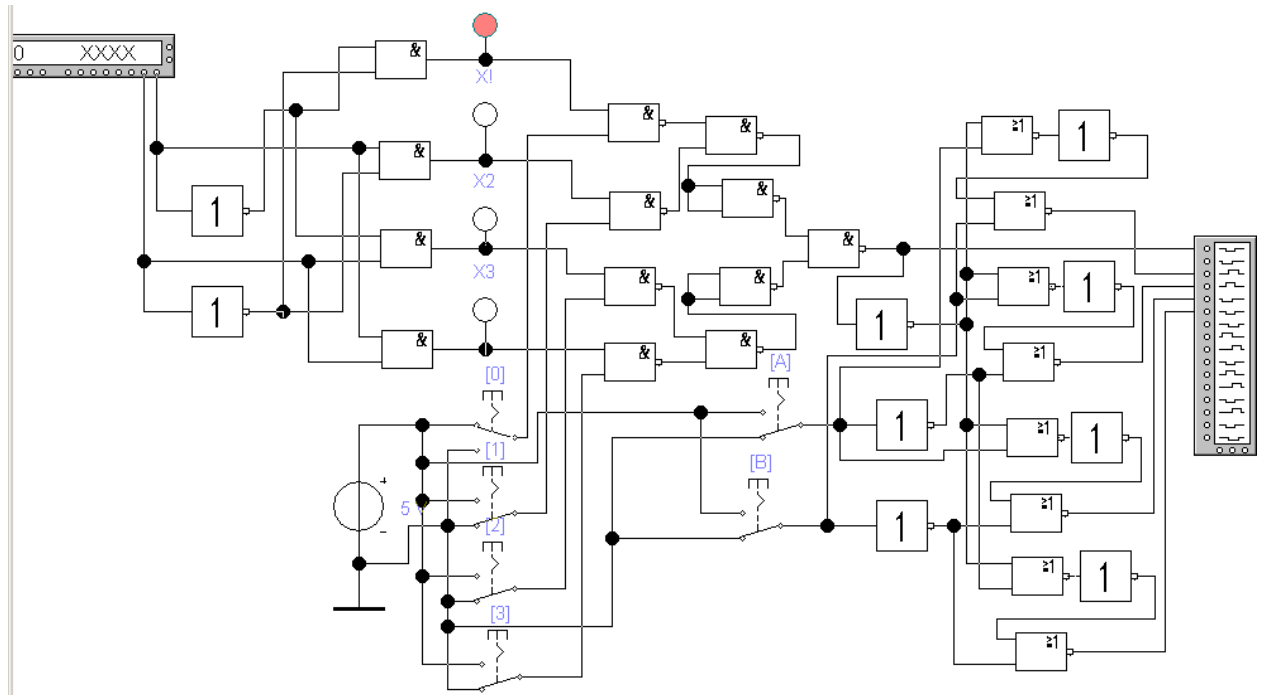


Рис. 5. Схема демультимплексора на логічних елементах АБО-НІ

На рисунку 5 до схеми мультимплексора (рисунок 3) доповнено логічними елементами АБО-НІ демультимплексора. В ній, на адресні входи демультимплексора – A та B , за допомогою перемикачів будемо подавати адресний код. Номера вихідних каналів демультимплексора повинні завжди відповідати двійковому адресному коду (A – молодший розряд). Це дає можливість відкривати електронні ворота демультимплексора для проходження магістрального сигналу з виходу мультимплексора у «свій» канал.

Перевірте, чи правильно на логічних елементах АБО-НІ реалізовані вихідні логічні функції X_0, X_1, X_2, X_3 демультимплексора, а також виставлені режими роботи генератора слів *Word Generator* та аналізатора логіки *Logic Analyzer*. Включіть моделювання. Спробуйте декілька комбінацій положення перемикачів. Зафіксуйте осцилограму вашого варіанта для занесення у звіт. Приклад осцилограми приведено на рисунку 6.

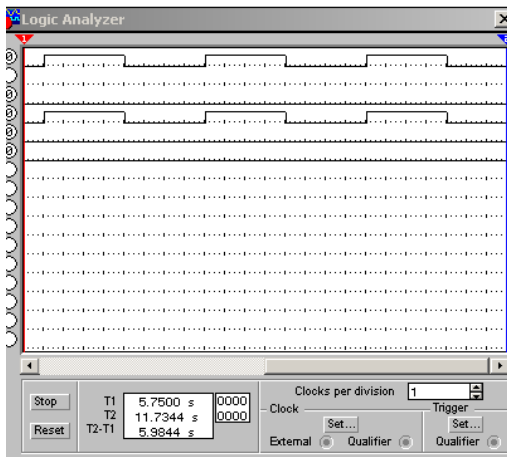


Рис. 6. Осцилограма

Варіант	Адрес	Перемикач			
1	00				
2	10				
3	01				
4	11				
5	10				

З цієї осцилограми видно, що сигнали, які були передані по вхідних каналах мультиплектора (у звичайній практиці – після проходження єдиним сигналом через магістральну лінію зв'язку), з'являються на одному з виходів демультиплектора, номер якого визначається адресним кодом.

Тобто, за допомогою комбінації (рис. 5) мультиплектора-демультиплектора, здійснюється процес передавання даних від декількох джерел на передавальній стороні по єдиному спільному каналу (лінії зв'язку) на свої приймачі.

4. Зміст звіту

1. Назва та мета лабораторної роботи.
2. Схеми і результати дослідження мультиплектора та демультиплектора.
3. Висновки.

5. Контрольні питання

1. Дайте визначення та наведіть умовне позначення мультиплектора.
2. Наведіть приклад використання мультиплектора.
3. Наведіть приклад реалізації мультиплектора в базисі І, АБО, НІ.
4. Поясніть необхідність та принцип каскадування мультиплекторів.
5. Як на мультиплексорі перетворити паралельний двійковий код у послідовний?
6. Дайте визначення та наведіть умовне позначення демультиплектора.
7. Наведіть приклад реалізації демультиплектора в базисі І, АБО, НІ.
8. Як реалізувати дешифратор за допомогою демультиплектора?
9. Поясніть принцип каскадування демультиплекторів.

Лабораторна робота № 5 Дослідження інтегральних тригерів

1. Мета роботи

Вивчення функціонування схемних різновидів тригерів, оволодіння методами їх проектування, набуття навиків дослідження властивостей тригерів за допомогою персональних комп'ютерів.

2. Теоретичні відомості

У схемах цифрової техніки як запам'ятовувальні елементи широко використовуються тригери.

Тригер – це пристрій із двома стійкими станами (стан лог. «0», або лог. «1»). Зміна стану тригера (його перемикання) забезпечується зовнішніми сигналами й сигналами зворотного зв'язку. Стан тригера визначається сигналом Q на прямому виході тригера (чи сигналом \bar{Q} на його інверсному виході). В одиничному стані тригера (лог. «1») на виході Q мають високий рівень напруги ($Q=1$), а в нульовому – низький ($Q=0$). На виході Q навпаки.

Входи тригера розділяють на інформаційні та керуючі. Інформаційні входи призначені для приймання сигналів інформації, яка запам'ятовується. Керуючі входи служать для керування записуванням інформації.

Розрізняють наступні основні інформаційні входи тригерів:

- S – вхід для встановлення тригера у стан лог. «1» ($Q=1$);
- R – вхід для встановлення тригера у стан лог. «0» ($Q=0$);
- T – лічильний вхід тригера;
- J – вхід для встановлення у стан лог. «1» ($Q=1$) універсального JK -тригера;
- K – вхід для встановлення у стан лог. «0» ($Q=0$) універсального JK -тригера;
- D – інформаційний вхід для встановлення у стан лог. «1» ($Q=1$) або лог. «0» ($Q=0$) D -тригера.

Крім інформаційних у тригерах може бути два види керуючих сигналів:

- синхронізуючий (тактовий) сигнал – C та дозволяючий сигнал – V .

Відповідно до логіки функціонування розрізняють такі тригери:

а) RS – *тригери*, або тригери з роздільною установкою станів лог. «1» ($Q=1$) або лог. «0» ($Q=0$). Сигнал на вході S встановлює тригер в стан лог. «1», сигнал на вході R – лог. «0». Одночасна подача сигналів S і R не допускається, що є недоліком для RS -тригера.

б) D – *тригери*, або тригери затримки. Вони мають один інформаційний вхід D і вхід синхронізації C . Стан тригера повторює значення сигналу на D – вході в тактові моменти часу.

в) T – *тригери*, або тригери з лічильним входом. Імпульс на єдиному вході T завжди змінює стан тригера на протилежний.

г) JK – *універсальні тригери*, здатні виконувати функції будь-якого з перелічених вище тригерів.

За способом прийому інформації тригери розрізняються: асинхронні та синхронні. В *асинхронних* тригерах занесення інформації відбувається безпосередньо з появою інформаційних сигналів на входах. *Синхронні* тригери реагують на інформаційні сигнали лише після надходження дозволяючого тактового імпульсу на вхід синхронізації. Умовне позначення тригерів наведено на рис. 1 і 2.

За способом керування записування (моментом реакції на тактовий сигнал) виділяють синхронні тригери зі статичним (за рівнем) (рис. 1, б і в) та динамічним (за фронтами) (рис. 2, а і б) керуванням.

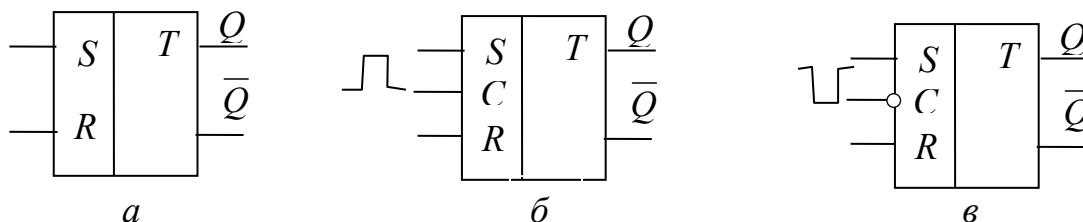


Рис. 1. Умовні позначення тригерів: а – асинхронних; б, в – синхронних зі статичним керуванням

У синхронних тригерах з керуванням за рівнем записування інформації можливе тільки впродовж тривалості тактового сигналу. При цьому тактові сигнали можуть бути прямими (змінюватися від нуля до одиниці) або інверсними (змінюватися від одиниці до нуля) (рис. 1, б і в).

При керуванні фронтами дозвіл на записування інформації дається тільки в момент перепаду тактового сигналу від нуля до одиниці (прямий динамічний вхід – рис. 2, а) або від одиниці до нуля (інверсний динамічний вхід – рис. 2, б).

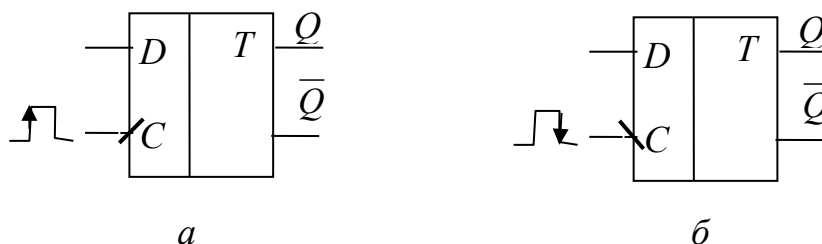


Рис. 2. Тригери із динамічним керуванням: а – прямий динамічний; б – інверсний динамічний

В інші моменти часу тригер не реагує на вхідні інформаційні сигнали незалежно від рівня тактового імпульсу.

3. Завдання

Завдання 1. Дослідження асинхронного RS – тригера на елементах І-НІ.

Складіть схему асинхронного RS (Set-Reset)-тригера, побудованого на логічних елементах ІІ та І-НІ (рис. 3). Складіть таблицю стану на виходах

пояснення процесам, що мають місце в тригері. Порівняйте роботу цього тригера з роботою попередніх.

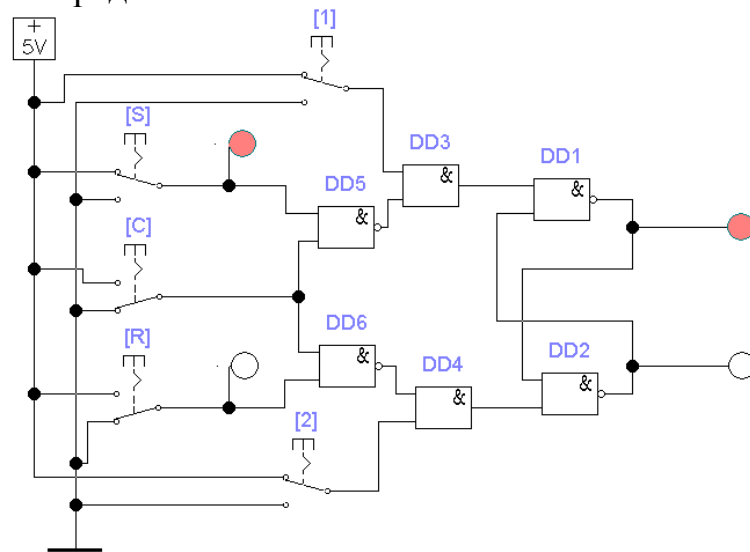


Рис. 5. RS – тригера на елементах І-НІ.

Для спрощення зображення схеми тригера скористаємося методикою побудови суб-блоків. При натиснутій лівій кнопці миші обведемо всі логічні елементи схеми рис. 5, які плануємо включити в суб-блок. В меню відкриємо *Circuit*, виберемо *Create Subcircuit* і натиснемо на ньому кнопку миші. У вікні pop-up меню *Subcircuit* напишемо назву суб-блока, наприклад, *RS_SUB*. Видалимо тепер частину схеми, що увійшла до суб-блока *RS_SUB*. Для цього натискаємо клавішу *Delete*. На панелі інструментів відкриваємо *Favorites*, де має знаходитись сформований суб-блок *RS_SUB*. Забираємо суб-блок і вмонтовуємо його в схему замість видаленої частини схеми. Маємо одержати схему, подану на рис. 6.

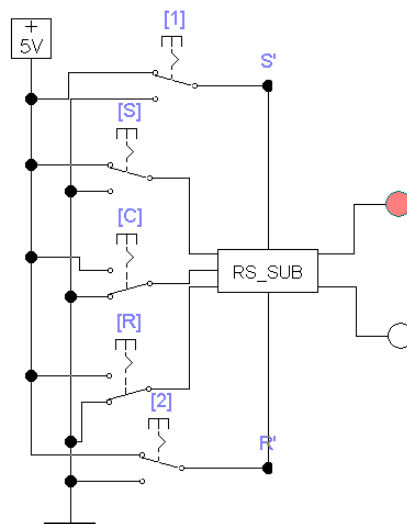


Рис.6

Після закінчення монтажу схеми впевнитися, що вона працює так же само, як і повна схема.

Завдання 4. Дослідження двоступеневого синхронного RS – тригера.

Синхронний двоступеневий тригер з «*M-S*» (*Master-Slave*) структурою складається з двох синхронних тригерів, де між основним (приймає нову вхідну інформацію) та допоміжним (передає стару інформацію) включається інвертор, що блокує перезапис інформації в допоміжний тригер під час запису інформації в основний тригер. Доповнимо схему рис. 6 ще одним схемним суб-блоком та зробимо з'єднання так, щоб одержати схему двоступеневого синхронного *RS*-тригера, яку подано на рис.7.

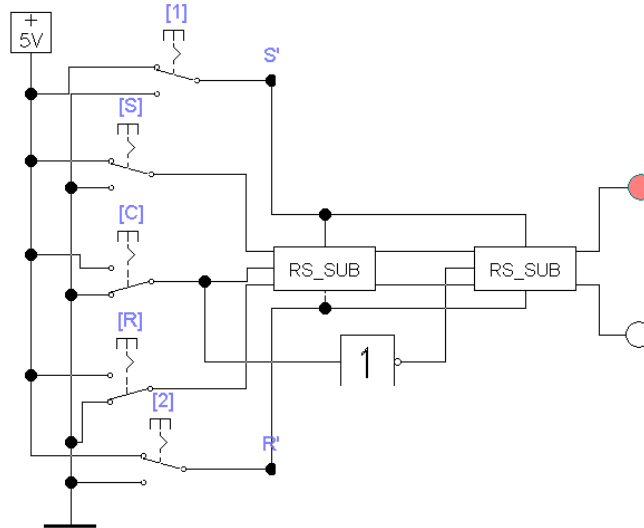


Рис. 7. Схема двоступеневого синхронного *RS*-тригера

Провести аналіз роботи схеми та перевірити, що дійсно, інформація з основного тригера переписується у допоміжний після закінчення синхроімпульсу.

Завдання 5. Дослідження D– тригера.

Стан D-тригера повторює значення сигналу на D-вході в тактові моменти часу. Схему D-тригера можна побудувати на основі синхронного *RS*-тригера, якщо сигнал на вході *S* одночасно подавати через інвертор на вхід *R*. Доповнимо схему рис. 6 логічним елементом НІ, як подано на рис. 8.

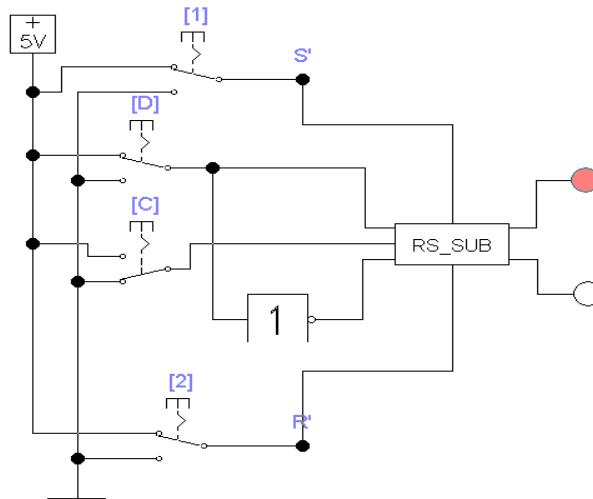


Рис. 8. Дослідження D– тригера

Одержана схема аналогічна схемі зображеній на рис. 9.

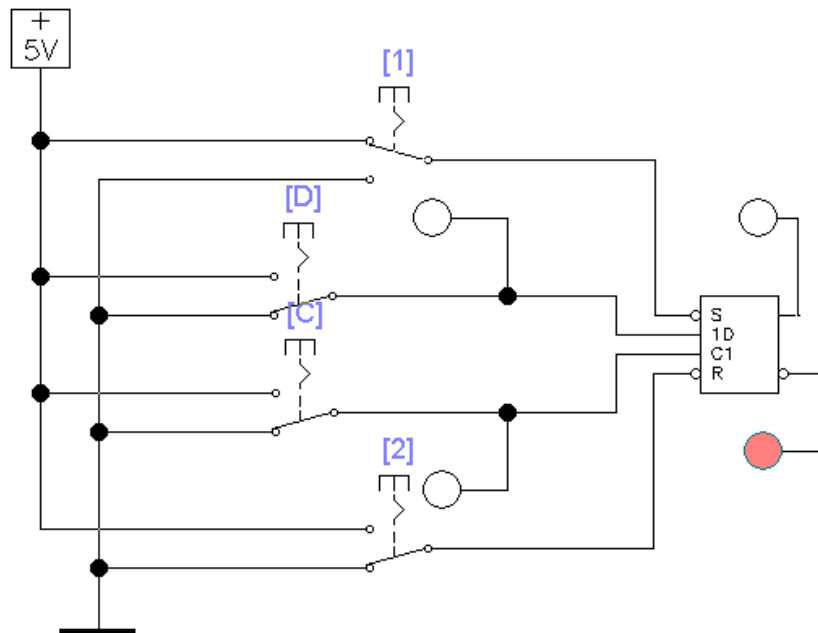


Рис. 9. Дослідження D- тригера

Завдання 6. Дослідження T- тригера.

Складіть схему модифікованого D-тригера (рис. 10). Зверніть увагу на деталі модифікації схеми у порівнянні зі схемою рис. 9. Складіть таблицю стану на виходах модифікованого D-тригера в залежності від поточного та попереднього стану перемикача C. Дайте пояснення процесам, що мають місце в тригері. Порівняйте роботу цього тригера з роботою попередньої схеми.

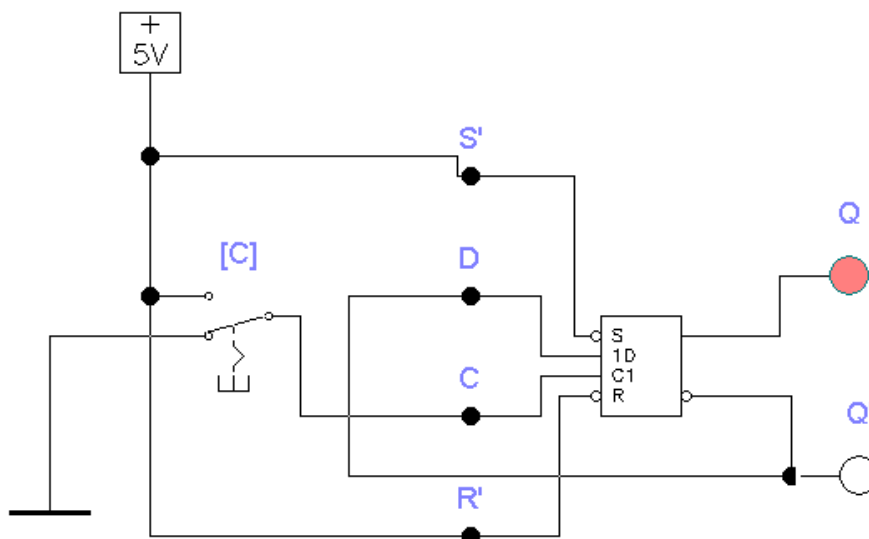


Рис. 10. Схема модифікованого D-тригера

Завдання 7. Дослідження універсального JK – тригера.

Для дослідження функціонування JK -тригера складіть схему подану на рис. 11. Промисловість випускає готові JK -тригери на основі двоступеневих синхронних RS -тригерів зі структурою « $M-S$ ». Універсальний JK -тригер крім додаткових установчих входів R і S має входи J , K та синхронізуючий вхід C .

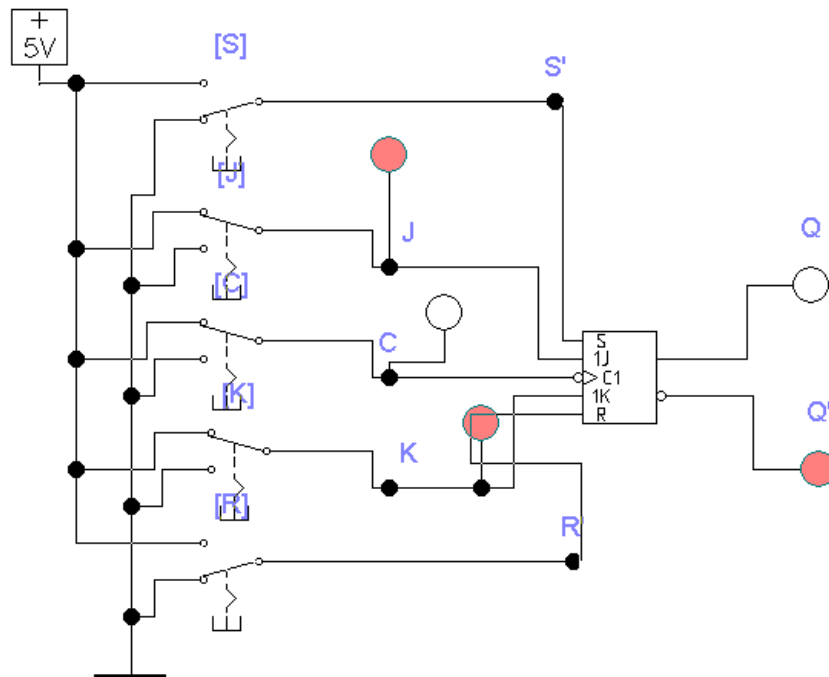


Рис. 11. Схема універсального JK – тригера

Схемна реалізація його досить складна, але для використання тригера достатньо знати таке:

- за умовою наявності нульових сигналів на входах J , K , C тригер зберігає свій стан;
- сигнал на вході $J=1$ вмикає тригер в стан логічної «1» ($Q=1$) після закінчення тактового імпульсу $C=1$;
- сигнал на вході $K=1$ вимикає тригер ($Q=0$) по зрізу тактового імпульсу $C=1$;
- за наявністю сигналів $J=K=0$ надходження тактового імпульсу не викликає змін у стані тригера;
- якщо входні сигнали $J=K=1$, надходження тактового імпульсу перекидає тригер до протилежного стану.

На базі JK -тригера можна створити:

1. **Синхронний RS -тригер.** Якщо прийняти, що $J=S$, $K=R$, а комбінації $J=K=1$ вважати забороненою. JK -тригер буде реагувати на зміну входних сигналів лише в момент зрізування тактового імпульсу на вході C .

2. **Лічильний T -тригер.** В цьому тригері входи J та K з'єднують між собою і подають на них напругу логічної одиниці, так що $J=K=1$, а вхід C позначають як T . Тоді при кожному тактовому імпульсі на вході синхронізації $C=T=1$ виходи тригера перекидатимуться у протилежний стан.

3. **D -тригер.** В D -тригерах $J=K'=D$. Він має тільки тактовий вхід C та інформаційний вхід D . D -тригер може бути виконаний на базі JK -тригера

вмиканням на входах J , K елемента НІ, який забезпечує виконання умов $J=K=D$. В цьому випадку тригер запам'ятовує сигнал на вході D в момент тактового імпульсу і тримає його до наступного тактового імпульсу («delay»-затримка). Тому D -тригер може використовуватися як елемент пам'яті.

Складіть скорочену таблицю стану JK -тригера. Дайте пояснення процесам, що мають місце в тригері. Порівняйте роботу цього тригера з роботою D та T -тригерів.

4. Зміст звіту

1. Назва та мета лабораторної роботи.
2. Схеми та результати дослідження тригерів та їх оцінка.
3. Висновки.

5. Контрольні питання

10. Дайте загальне визначення тригерів та їх застосування у схемотехніці.
11. Які різновиди тригерів існують та їх особливості?
12. Яка різниця між асинхронним та синхронним тригерами?
13. Охарактеризуйте роботу асинхронного RS -тригера на логічних елементах АБО-НІ та І-НІ.
14. Охарактеризуйте роботу синхронного RS -тригера.
15. Поясніть роботу та особливості D -тригерів.
16. Поясніть роботу та особливості T - та JK -тригерів.
17. Яку роль виконує допоміжний і основний тригери в тригерах «M-S» типу?
18. Які типи тригерів можна отримати на основі JK - тригера?

Лабораторна робота № 6 Дослідження лічильників

1. Мета роботи

Вивчення структури та функціонування схемних різновидів лічильників, оволодіння методами їх проектування, набуття навиків дослідження за допомогою персональних комп'ютерів.

2. Теоретичні відомості

Лічильником називається цифровий пристрій, призначений для рахування кількості імпульсних сигналів, що надходять на його вхід та видачі результату рахунку в тому або іншому коді.

Лічильник – це сукупність послідовно з'єднаних між собою тригерів. Кількість тригерів визначається розрядністю лічильника. Лічильник має один вхід та n виходів (по кількості розрядів), де $n = \lceil \log_2 M \rceil$, причому n округляється в більшу сторону до цілого числа. Величина M називається *модулем рахунку*. Вона визначає максимальну кількість сигналів, яка може бути підрахована лічильником. У міру надходження вхідних сигналів лічильник послідовно перебирає свої стани у заданому для цієї схеми порядку. Після подання на вхід лічильника M імпульсів він переповняється і автоматично переходить у початковий стан.

Існують різноманітні схеми лічильників, які відрізняються призначенням, типом і кількістю тригерів, організацією зв'язків між ними, порядком зміни станів і іншими особливостями. Найчастіше лічильники класифікують за такими ознаками:

- способом кодування, лічильники діляться на позиційні та непозиційні;
- модулем рахунку – двійкові, з довільним модулем рахунку і двійково-десяткові;
- напрямом рахунку – додавальні, віднімальні і реверсивні;
- способом організації перенесення – з послідовним, паралельним та наскрізним;
- типом використовуваних тригерів – T , JK , D в лічильному режимі.

У лічильниках з позиційним кодуванням записане в лічильник число визначається за формулою:

$$N = Q_n \cdot 2^{n-1} + Q_{n-1} \cdot 2^{n-2} + \dots + Q_1 \cdot 2^0,$$

де n – число розрядів (тригерів); Q_n – значення виходу (0 або 1) n – го розряду; 2^{n-1} – вага старшого розряду; 2^0 – вага першого розряду.

У лічильниках з непозиційним кодуванням (наприклад, у кодах Грея) розряди не мають постійних ваг і кожному набору станів приписується певна кількість вхідних імпульсів. Переважно використовують лічильники з позиційним кодуванням.

У двійкових лічильниках модуль рахунку визначається цілим степенем двійки $M = 2^n$. Лічильники з довільним модулем рахунку мають $M \neq 2^n$.

Двійково-десяткові лічильники складаються з чотирьох розрядних двійкових.

У додавальних лічильниках кожний вхідний імпульс збільшує число в лічильнику на одиницю, в віднімальних – зменшує на одиницю. Якщо в лічильнику можна змінювати напрямок рахунку, то лічильник називають реверсивним.

Лічильники з послідовним перенесенням будують на асинхронних тригерах, які перемикаються по чергово після кожного вхідного імпульсу в напрямку від молодших розрядів до старших. У лічильниках з паралельним перенесенням використовують синхронні тригери, а лічильні імпульси передаються одночасно на всі тактові входи. Перемикаються тригери синхронно після кожного вхідного імпульсу.

3. Завдання

Завдання 1. Побудувати та дослідити двійковий додавальний лічильник з послідовним переносом.

Принципи побудови двійкового додавального лічильника такі:

- інформація двійкового лічильника знімається з прямих виходів тригерів;
- розряди двійкового лічильника будуються на двоступеневих T -тригерах або D -тригерах в лічильному режимі;
- число розрядів n двійкового лічильника для заданого модуля M знаходять із виразу $n = \lceil \log_2 M \rceil$, де $\lceil \rceil$ – знак округлення до цілого числа;
- лічильні імпульси асинхронного додавального лічильника надходять на T - вхід тільки першого (молодшого) розряду;
- сигнали перенесення передаються асинхронно (по послідовно в часі) з прямих виходів (для лічильників на двоступеневих T -тригерах) і з інверсних виходів (для лічильників на D -тригерах з динамічним керуванням по фронту синхросигналу) сусідніх молодших розрядів на T - входи сусідніх старших;
- зміна станів тригерів в лічильниках на двоступеневих T -тригерах відбувається за спадом (із 1 в 0), а лічильниках на D -тригерах в лічильному режимі – по фронту (із 0 в 1) вхідних імпульсів.

Складіть схему наведену на рисунку 1.

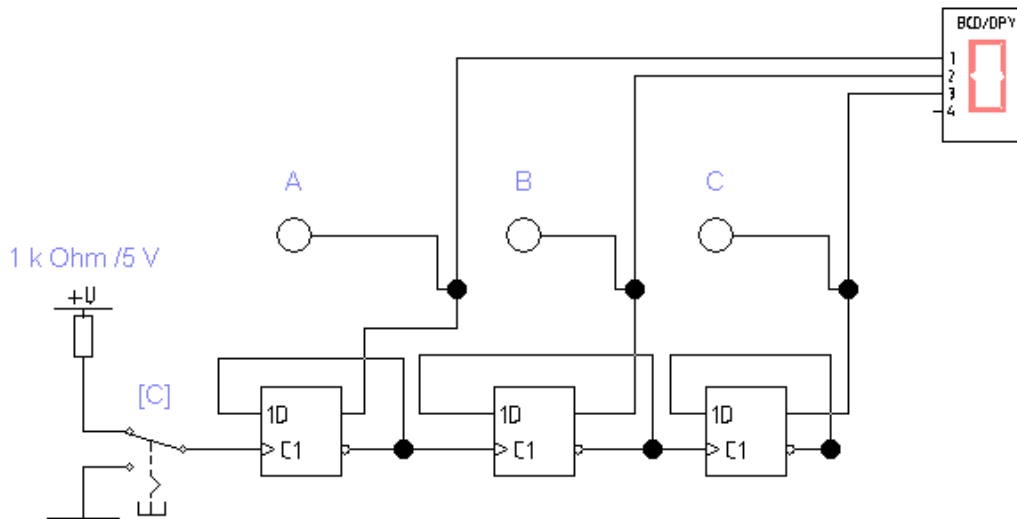


Рис. 1. Схема двійкового додавального лічильника з послідовним переносом

Уважно проаналізуйте схему. Включіть моделювання. Натискаючи клавішу (вимикач) С, слідкуйте за станом світлодіодів на виходах D-тригерів та за цифровим індикатором. Складіть таблицю станів лічильника для серії послідовних тактів вимикача С, починаючи зі значення 0 цифрового індикатора. Дайте пояснення процесам, що відбуваються в асинхронному лічильнику.

Завдання 2. Дослідження 4-розрядного двійкового додавального лічильника.

Модернізуйте схему асинхронного лічильника, додавши четвертий розряд так, як це показано на рис. 2.

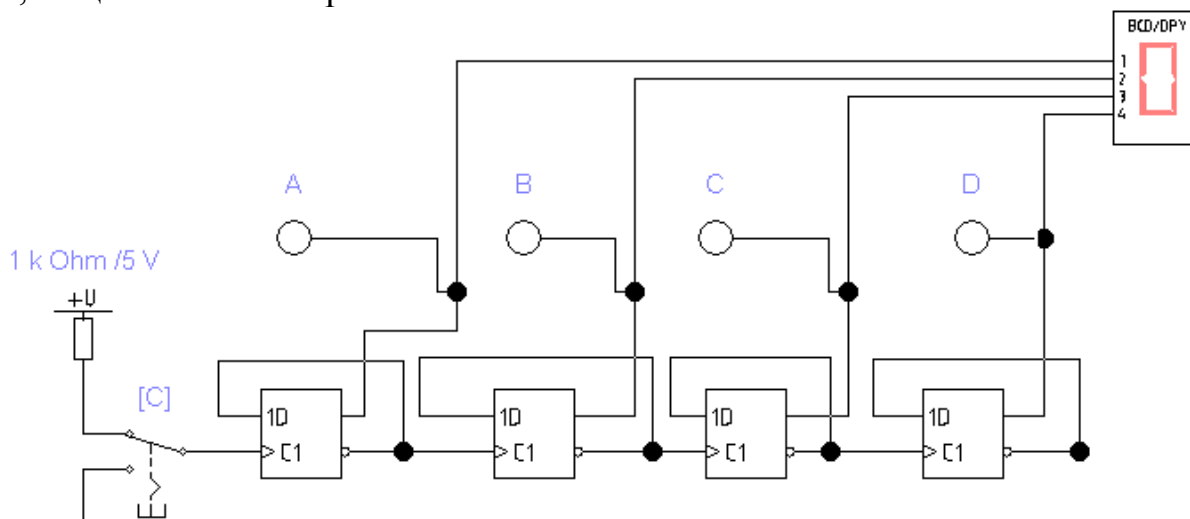


Рис. 2. Схема 4-розрядного двійкового додавального лічильника

Запустіть моделювання. Складіть таблицю станів лічильника (табл. 1) для серії послідовних тактів, починаючи зі значення 0 цифрового індикатора.

Заповніть також рядок таблиці з переводом чисел в десяткову систему числення.

Таблиця 1

№	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ПП																
Ц ₁₆																
A																
B																
C																
D																
Ц ₁₀																

Завдання 3. Побудувати та дослідити двійковий віднімальний лічильник з послідовним переносом.

У двійковому віднімальному лічильнику кожний віднімальний імпульс зменшує стан на одиницю. Сигнали міжрозрядного зв'язку називаються позиками. За правилом двійкового віднімання позика із старшого розряду з одиничним значенням виникає за умови, що всі молодші тригери знаходяться в нульовому стані. Після цього всі вони перемикаються в стан «1», а старші – в стан «0».

Для створення віднімальних лічильників частіше використовують один із таких способів:

- в наведених додавальних лічильниках інформацію знімати не з прямих, а з інверсних виходів тригерів;
- сигнали позика (міжрозрядного зв'язку) знімаються з інверсних виходів двохступеневих *T*-тригерів або з прямих виходів *D*-тригерів в лічильному режимі.

Число, яке відповідає значенню коду на прямих виходах тригера лічильника ($N_{\text{ПР}}$), зв'язане з числом, яке відповідає значенню коду на інверсних виходах ($N_{\text{ИНВ}}$) тригерів таким виразом: $N_{\text{ПР}} = 2^n - N_{\text{ИНВ}} - 1$.

В таблиці 2 наведено приклад зв'язку числа $N_{\text{ПР}}$ з числом $N_{\text{ИНВ}}$ трьохрозрядного двійкового лічильника.

Таблиця 2

Стан прямих виходів			Число	Стан інверсних виходів			Число
Q ₃	Q ₂	Q ₁	$N_{\text{ПР}}$	Q ₃ '	Q ₂ '	Q ₁ '	$N_{\text{ИНВ}}$
0	0	0	0	1	1	1	7
0	0	1	1	1	1	0	6
0	1	0	2	1	0	1	5

Складіть схему наведену на рисунку 3 та проаналізуйте роботу схему.

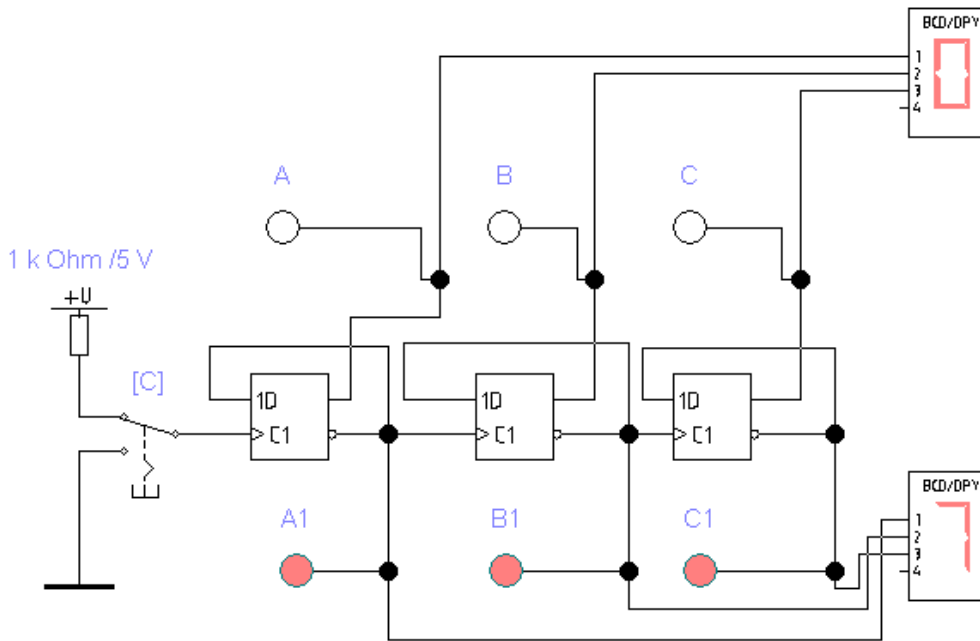


Рис. 3. Схема двійкового віднімального лічильника з послідовним переносом

Складіть схему наведену на рисунку 4 та порівняйте її зі схемою на рисунку 3. Запустіть моделювання.

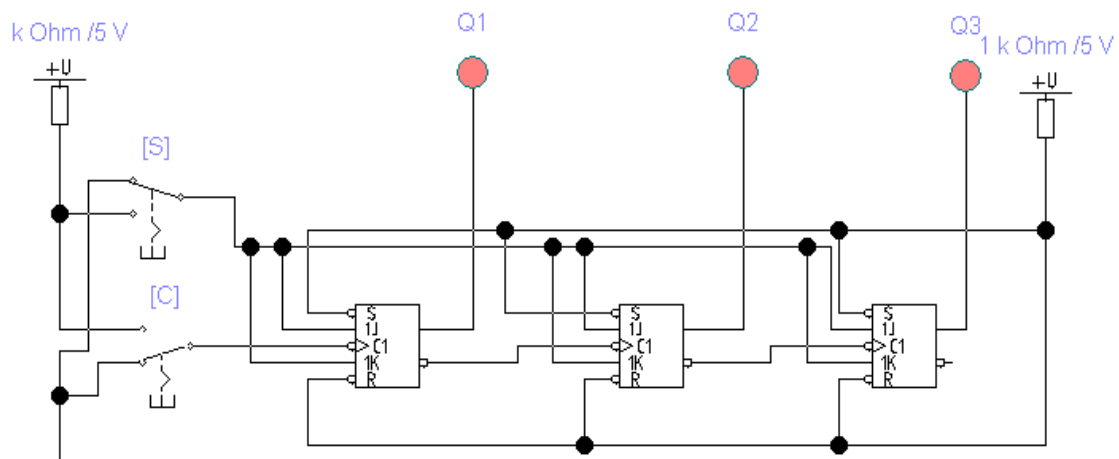


Рис. 4. Схема двійкового віднімального лічильника з послідовним переносом

Розглянуті двійкові лічильники з послідовним переносом відносно прості за схемою, але мають низьку швидкодію, оскільки під час його роботи вимагається послідовне переключення всіх n тригерів.

Найбільшою швидкодією наділені лічильники з паралельним переносом. Для цього в кожному розряді синхронного лічильника є схема збігу, за допомогою якої аналізуються стани всіх попередніх молодших тригерів і виробляються функції перенесення згідно з такими логічними співвідношеннями:

$$P_1 = U^+ \cdot Q_1; P_2 = U^+ \cdot Q_1 \cdot Q_2; P_3 = U^+ \cdot Q_1 \cdot Q_2 \cdot Q_3; P_4 = U^+ \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot Q_4.$$

При надходженні чергового лічильного імпульсу U^+ перемикаються тільки ті тригери, для яких усі попередні (молодші) розряди знаходяться в цей момент в одиничному стані. Складіть схему наведену на рисунку 5 та запустіть моделювання схеми. Дайте пояснення процесам в схемі.

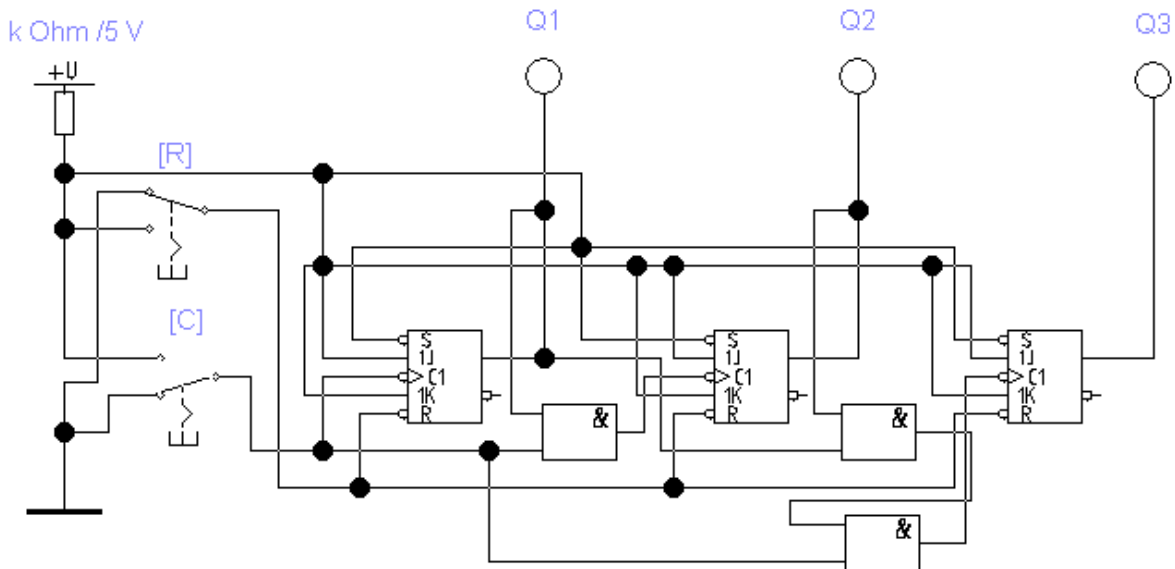


Рис. 5. Схема лічильника з паралельним переносом

Завдання 4. Побудувати та дослідити реверсивний лічильник.

Реверсивні лічильники виконують рахунок сигналів, як в режимі додавання, так і в режимі віднімання. Режим роботи змінюється за допомогою схеми управління. В залежності від вимог до схеми управління можна побудувати реверсивні лічильники двох типів:

- з одним лічильним та одним керуючим входом;
- з двома лічильними входами.

Для реверсування рахунку в таких схемах необхідні додаткові логічні елементи 2-І-АБО («схеми реверса»), які виконують комутацію входів тригерів лічильника.

Для лічильників першого типу, ця комутація виконується за допомогою сигналу управління V , який приймає значення 1 або 0 залежно від заданого напрямку рахунку. З врахуванням цього можна записати функції збудження тригерів для лічильників з послідовним переносом у вигляді:

$$T_i = V \cdot Q_{i-1} \vee \bar{V} \cdot \bar{Q}_{i-1}$$

Складіть схему наведену на рисунку 6 та проаналізуйте схему. Запустіть моделювання та упевніться, що схема працює коректно.

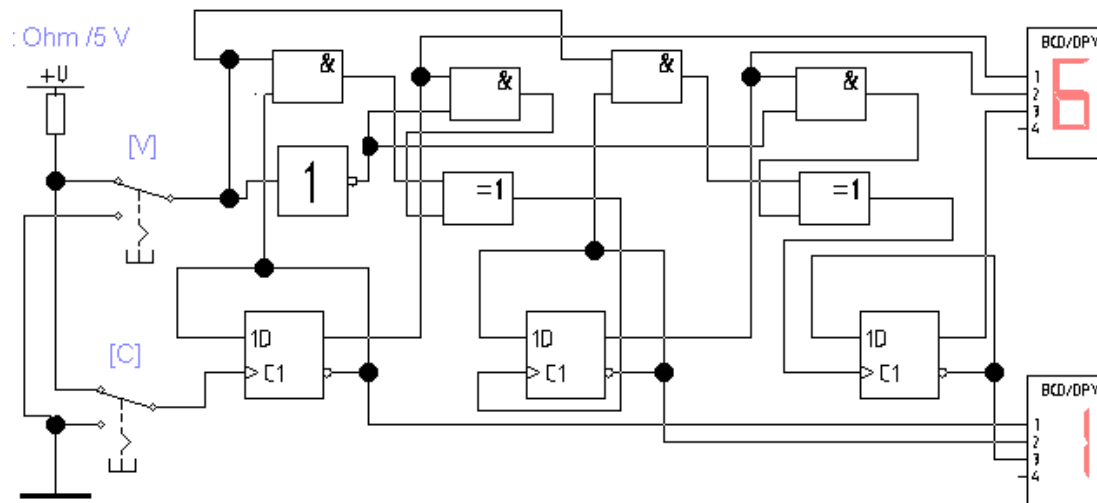


Рис. 6. Реверсивний лічильник

4. Зміст звіту

1. Назва та мета лабораторної роботи.
2. Схеми та результати дослідження лічильників та їх оцінка.
3. Висновки.

5. Контрольні питання

1. Дайте загальне визначення лічильників та їх застосування у схемотехніці.
2. Які різновиди лічильників існують та їх особливості?
3. Яка різниця між асинхронним та синхронним лічильниками?
4. Що таке модуль рахунку, а що таке коефіцієнт поділу?
5. Наведіть схему та охарактеризуйте роботу асинхронного додавального лічильника з послідовним перенесенням інформації.
6. Наведіть схему та охарактеризуйте роботу асинхронного додавального лічильника з паралельним перенесенням інформації
7. Поясніть особливості побудови віднімальних лічильників.
8. Наведіть схему і поясніть роботу реверсивного лічильника.

Список рекомендованої літератури

1. Електроніка і мікросхемотехніка: Підручник для студентів вищ. закл. освіти / За ред. д.т.н, проф. В.І. Сенька. – К. 2000.
2. Колонтаєвський Ю.П., Сосков А.Г. Промислова електроніка та мікросхемотехніка: теорія і практикум / За ред. А.Г. Соскова. – К.: Каравела, 2003. – 368 с.
3. Кардашев Г.А. Виртуальная электроника. Компьютерное моделирование аналоговых устройств. – М.: Горячая линия – Телеком, 2002 – 260 с.
4. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов. – М.: Горячая линия – Телеком, 1999 – 768 с.
5. Аналоговые и цифровые интегральные микросхемы. / С.В.Якубовский, Н.А.Барканов и др.; Под ред. С.В.Якубовского. – М.: Радио и связь, 1985.
6. Кучумов А.И. Электроника и схемотехника. – М.: Гелиос АРВ, 2002. – 304 с.

Навчально-методичне видання

Наконечна Світлана Вячеславівна

ЕЛЕКТРОНІКА І МІКРОСХЕМОТЕХНІКА
(Частина II)

Методичні вказівки
щодо виконання лабораторних робіт
для студентів спеціальності 151 «Автоматизація
та комп'ютерно-інтегровані технології»
денної та заочної форм навчання

Відповідальна за випуск: С.В. Наконечна

Редактор: Н.В. Щербак

Макет і верстка: В.О. Андрієнка

Підписано до друку 24.03.2017. Формат 60x84/16.
Замовлення №49/17.

Підготовлено до електронної бібліотеки
у Редакційно-видавничому відділі ДЕТУТ
Свідоцтво про реєстрацію Серія ДК № 3079 від 27.12.2007 р.
03049, м. Київ – 49, вул. Миколи Лукашевича, 19